

## 特許協力条約

E P

P C T



## 国際調査報告

(法8条、法施行規則第40、41条)  
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号	E P P C - 2 0 5 8		今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号	PCT/JP99/05903	国際出願日 (日.月.年)	26.10.99	優先日 (日.月.年)
出願人(氏名又は名称) セイコーユーポン株式会社				

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

この国際出願に含まれる書面による配列表

この国際出願と共に提出されたフレキシブルディスクによる配列表

出願後に、この国際調査機関に提出された書面による配列表

出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2.  請求の範囲の一部の調査ができない(第I欄参照)。

3.  発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は  出願人が提出したものと承認する。

次に示すように国際調査機関が作成した。

5. 要約は  出願人が提出したものと承認する。

第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1ヶ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、  
第 15A 図とする。  出願人が示したとおりである。

なし

出願人は図を示さなかった。

本図は発明の特徴を一層よく表している。

**THIS PAGE BLANK (USPTO)**

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C1' G06F 13/00  
H04L 29/00

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int. C1' G06F 13/00  
H04L 29/00

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1, Y2)	1926-1996年
日本国公開実用新案公報 (U)	1971-1999年
日本国登録実用新案公報 (U)	1994-1999年
日本国実用新案登録公報 (Y2)	1996-1999年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	EP, 803821, A2 (TEXAS INSTRUMENTS INC.) 29.10月.1997 (29.10.97) & JP, 10040211, A & KR, 97072830, A & US, 5983301, A, 19, 20図参照 (パケット制御リストによるデータ構造および連続転送の構成)	1-29
A	JP, 10-285223, A (ソニー株式会社) 23.10月.1998 (23.10.98), フ アミリーなし 第1図 104b, 105, 【0035】段落等参照 (バスリセッ ト時に self ID を認識して受信バッファに格納する信号処理回路)	1-29
EA	JP, 11-017773, A (ソニー株式会社) 22.01月.1999 (22.01.99), フ アミリーなし 第1図 106, 107, 【0034】段落等参照 (バスリセッ ト時に self ID を解析し、コントロールレジスタに格納する)	1-29

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日 25.01.00	国際調査報告の発送日 08.02.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 猪瀬 隆広 電話番号 03-3581-1101 内線 3594 5X 9560 

**THIS PAGE BLANK (USPTO)**

C (続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	US, 5758089, A (Sun Microsystems Inc,) 26.05月.1998 (26.05.98) & EP, 772368, A2 & JP, 09-266485, A, 第5, 6図 (データ部とヘッダ部をそれぞれ格納するバッファを設ける構成)	1-29
A	日経エレクトロニクス 1997.9.8 (No.698), 「デジタル・スチル・ カメラを直結、標準化で異機種間接続へ」, Pages. 107-111 (PWG:Printer Working Group 標準化動向の記事)	

**THIS PAGE BLANK (USPTO)**

## PCT REQUEST

Original (for SUBMISSION) - printed on 23.06.2000 01:30:06 PM

0	<b>For receiving Office use only</b>	
0-1	International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4	<b>Form - PCT/RO/101 PCT Request</b>	
0-4-1	Prepared using	
<b>PCT-EASY Version 2.90 (updated 15.12.1999)</b>		
0-5	<b>Petition</b> The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	<b>Receiving Office (specified by the applicant)</b>	
0-7	<b>Applicant's or agent's file reference</b>	
I	<b>Title of invention</b>	
<b>DATA TRANSFER CONTROL DEVICE AND ELECTRONIC EQUIPMENT</b>		
II	<b>Applicant</b>	
II-1	This person is:	
II-2	Applicant for	
II-4	Name	
II-5	Address:	
II-6	State of nationality	
II-7	State of residence	
II-8	Telephone No.	
II-9	Facsimile No.	
III-1	<b>Applicant and/or inventor</b>	
III-1-1	This person is:	
III-1-2	Applicant for	
III-1-4	Name (LAST, First)	
III-1-5	Address:	
III-1-6	State of nationality	
III-1-7	State of residence	

**THIS PAGE BLANK (USPTO)**

## PCT REQUEST

Original (for SUBMISSION) - printed on 23.06.2000 01:30:06 PM

III-2	<b>Applicant and/or inventor</b>	
III-2-1	This person is:	
III-2-2	Applicant for	
III-2-4	Name (LAST, First)	
III-2-5	Address:	
III-2-6	State of nationality	
III-2-7	State of residence	
III-3	<b>Applicant and/or Inventor</b>	
III-3-1	This person is:	
III-3-2	Applicant for	
III-3-4	Name (LAST, First)	
III-3-5	Address:	
III-3-6	State of nationality	
III-3-7	State of residence	
IV-1	<b>Agent or common representative; or address for correspondence</b>  The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	
IV-1-1	Name (LAST, First)	
IV-1-2	Address:	
IV-1-3	Telephone No.	
IV-1-4	Facsimile No.	
IV-1-5	e-mail	
IV-2	<b>Additional agent(s)</b>	
IV-2-1	Name(s)	
V	<b>Designation of States</b>	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	

**THIS PAGE BLANK (USPTO)**

## PCT REQUEST

Original (for SUBMISSION) - printed on 23.06.2000 01:30:06 PM

V-5	<b>Precautionary Designation Statement</b> In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.	
V-6	<b>Exclusion(s) from precautionary designations</b> <b>NONE</b>	
VI-1	<b>Priority claim of earlier national application</b>	
VI-1-1	Filing date <b>27 October 1998 (27.10.1998)</b>	
VI-1-2	Number <b>10-321540</b>	
VI-1-3	Country <b>JP</b>	
VII-1	<b>International Searching Authority Chosen</b> <b>Japanese Patent Office (JPO) (ISA/JP)</b>	
VIII	<b>Check list</b>	
VIII-1	Request	number of sheets <b>4</b>
VIII-2	Description	<b>28</b>
VIII-3	Claims	<b>6</b>
VIII-4	Abstract	<b>1</b>
VIII-5	Drawings	<b>24</b>
VIII-7	<b>TOTAL</b>	<b>63</b>
VIII-8	<b>Accompanying items</b>	
VIII-16	Fee calculation sheet	paper document(s) attached <b>✓</b>
VIII-16	PCT-EASY diskette	electronic file(s) attached <b>-</b>
VIII-18	<b>Figure of the drawings which should accompany the abstract</b> <b>15A</b>	
VIII-19	<b>Language of filing of the international application</b> <b>Japanese</b>	
IX	<b>Signature of applicant or agent</b>	
IX-1	Name (LAST, First)	
IX-2	Capacity	

**FOR RECEIVING OFFICE USE ONLY**

10-1	<b>Date of actual receipt of the purported international application</b>	
10-2	<b>Drawings:</b>	
10-2-1	Received	
10-2-2	Not received	
10-3	<b>Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application</b>	
10-4	<b>Date of timely receipt of the required corrections under PCT Article 11(2)</b>	
10-5	<b>International Searching Authority</b>	<b>ISA/JP</b>

**THIS PAGE BLANK (USPTO)**

**PCT REQUEST**

EPPC-2058

Original (for **SUBMISSION**) - printed on 23.06.2000 01:30:06 PM

10-6	Transmittal of search copy delayed until search fee is paid
------	---

**FOR INTERNATIONAL BUREAU USE ONLY**

11-1	Date of receipt of the record copy by the International Bureau
------	--

THIS PAGE BLANK (USPTO)

PCT

世界知的所有権機関  
国際事務局

特許協力条約に基づいて公開された国際出願



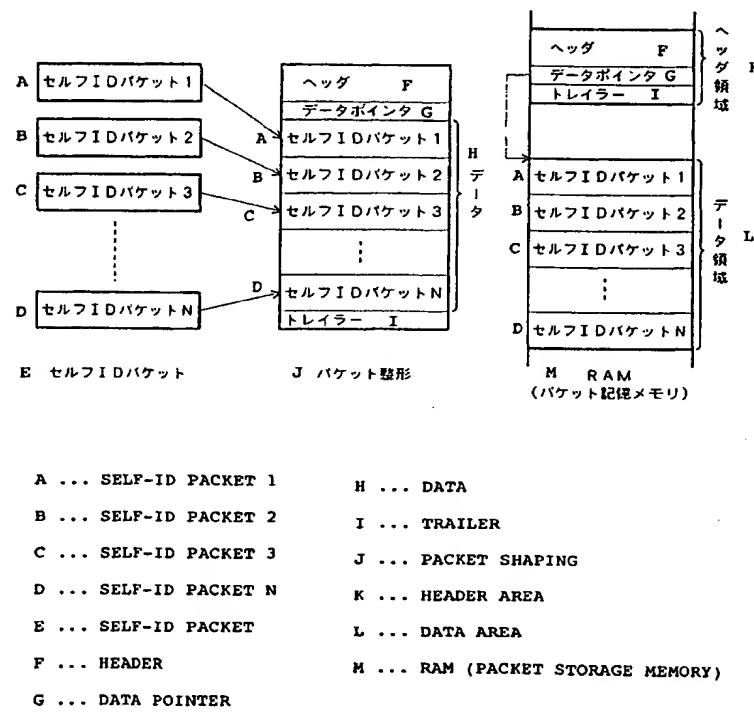
(51) 国際特許分類7 G06F 13/00, H04L 29/00	A1	(11) 国際公開番号 WO00/25216
		(43) 国際公開日 2000年5月4日(04.05.00)
(21) 国際出願番号 PCT/JP99/05903		(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)
(22) 国際出願日 1999年10月26日(26.10.99)		添付公開書類 国際調査報告書
(30) 優先権データ 特願平10/321540 1998年10月27日(27.10.98) JP		
(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)		
(72) 発明者 ; および		
(75) 発明者／出願人 (米国についてのみ) 石田卓也(ISHIDA, Takuya)[JP/JP] 神原義幸(KAMIHARA, Yoshiyuki)[JP/JP] 和田文利(WADA, Fumitoshi)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)		
(74) 代理人 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP)		

## (54) Title: DATA TRANSFER CONTROLLER AND ELECTRONIC DEVICE

(54) 発明の名称 データ転送制御装置及び電子機器

## (57) Abstract

A data transfer controller and electronic device realizing effective use of resources that nodes have and realizing a small processing overhead. A packet shaping circuit receives a self-ID packet of the IEEE1394 standards sent from a node, shapes the packet into a packet having a frame comprising data including a series of self-ID packets and a header, interfaces with the upper layer, eliminates the parity of the received self-ID packet, constitutes data of the packet from a series of the self-ID packets from which the parities are eliminated, adds error status information to the trailer of the parity. The circuit writes the header of the packet in a header area and the data in a data area separately, and adds a data pointer representing the address of the data to the header. In the data area, an area for only self-ID packets is provided. It is judged whether or not the packet is received during the self-ID period, and the packet is shaped regarding the packet transferred during the self-ID period as a self-ID packet.



(57)要約

各ノードが有するリソースを有効利用でき、処理のオーバーヘッドを軽減できるデータ転送制御装置、電子機器を提供することが目的である。パケット整形回路が、各ノードから送られる IEEE 1394 規格のセルフ ID パケットを受け、一連のセルフ ID パケットの並びからなるデータとヘッダとによりフレームが構成されるパケットに整形し、上層にインターフェースする。セルフ ID パケットのパリティを削除し、パリティが削除されたセルフ ID パケットの並びによりパケットのデータを構成すると共に、エラーステータス情報をパリティのトレイラーに付加する。パケットのヘッダをヘッダ領域にデータをデータ領域に分離して書き込むと共に、データのアドレスを示すデータポインタをパケットのヘッダに付加する。データ領域にセルフ ID パケット専用の領域を設ける。セルフ ID 期間中か否かを検出し、セルフ ID 期間中に転送してきたパケットをセルフ ID パケットと見なしてパケット整形を行う。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルベニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロ伐キア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シエラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スウェーデン
BF ブルキナ・ファン	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴ
BJ ベナン	GN ギニア	MD モルドヴァ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサオ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TM トルクメニスタン
CA カナダ	HR クロアチア	共和国	TR トルコ
CF 中央アフリカ	HU ハンガリー	ML マリ	TT トリニダッド・トバゴ
CG コンゴ	ID インドネシア	MN モンゴル	UA ウクライナ
CH スイス	IE アイルランド	MR モーリタニア	UG ウガンダ
CI コートジボアール	IL イスラエル	MW マラウイ	US 米国
CM カメルーン	IN インド	MX メキシコ	UZ ウズベキスタン
CN 中国	IS アイスランド	NE ニジェール	VN ヴィエトナム
CR コスタ・リカ	IT イタリア	NL オランダ	YU ユーゴースラビア
CU キューバ	JP 日本	NO ノルウェー	ZA 南アフリカ共和国
CY キプロス	KE ケニア	NZ ニュージーランド	ZW ジンバブエ
CZ チェコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

## 明 細 書

## データ転送制御装置及び電子機器

## [技術分野]

本発明は、データ転送制御装置及びこれを含む電子機器に関する。

## [背景技術]

近年、IEEE 1394と呼ばれるインターフェース規格が脚光を浴びている。このIEEE 1394は、次世代のマルチメディアにも対応可能な高速シリアルバスインターフェースを規格化したものである。このIEEE 1394によれば、動画像などのリアルタイム性が要求されるデータも扱うことができる。また、IEEE 1394のバスには、プリンタ、スキャナ、CD-Rドライブ、ハードディスクドライブなどのコンピュータの周辺機器のみならず、ビデオカメラ、VTR、TVなどの家庭用電化製品も接続できる。このため、電子機器のデジタル化を飛躍的に促進できるものとして期待されている。

このようなIEEE 1394の概要については、例えば「IEEE 1394ハイ・パフォーマンス・シリアルバスの概要」(Interface Apr. 1996の1~10頁)、「PC周辺機器用バス規格群総覽」(Interface Jan. 1997の106頁~116頁)、「IEEE 1394-1995(FireWire)のリアルタイム転送モードとマルチメディア対応プロトコル」(Interface Jan. 1997の136~146頁)に開示されている。また、IEEE 1394に準拠したデータ転送制御装置としては、テキサス・インスツルメンツ社製のT S B 1 2 L V 3 1などが知られている。

さて、このIEEE 1394では、バスリセットの後にツリー識別が行われ、その後に自己識別が行われる。そして、この自己識別の際には、各ノードが自身のセルフIDパケットを全てのノードにブロードキャストする。そして、セルフIDパケットを受け取った各ノードは、これらのセルフIDパケットを、自身が

有するメモリ上に必要に応じて保持しておく。

しかしながら、このセルフ I D パケットの個数は、ノード数に応じて増えるため、非常に数の多いものとなる。また、この多数のセルフ I D パケットを、他の L I N K パケットと区別してファームウェアなどの上層に対して正しくインターフェースするためには、少なくとも 1 クワドレットのヘッダを付加する必要がある。従って、この多数のセルフ I D パケットの存在に起因して、各ノードが有するメモリの空き容量が圧迫されてしまい、各ノードが有するリソースの有効利用を図れないという問題が生じる。

また、 I E E E 1 3 9 4 に準拠したデータ転送制御装置には、システム全体の実転送速度を向上させるため、 C P U 上で動作するファームウェアやアプリケーションソフトの処理のオーバーヘッドを、なるべく軽減することが望まれる。

#### 〔発明の開示〕

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、各ノードが有するリソースを有効利用できるデータ転送制御装置及びこれが用いられる電子機器を提供することにある。

また、本発明の他の目的は、ファームウェアやアプリケーションソフトなどの処理のオーバーヘッドを軽減できるデータ転送制御装置及びこれが用いられる電子機器を提供することにある。

上記課題を解決するために本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、各ノードから転送されてくる一連の自己識別パケットを受け、上層が使用する制御情報と各ノードから転送されてきた一連の自己識別パケットの並びからなるデータとによりフレームが構成されるパケットに、転送されてきた一連の自己識別パケットを整形するパケット整形手段と、整形されたパケットを記憶手段に書き込む書き込み手段とを含むことを特徴とする。

本発明によれば、一連の自己識別パケットを 1 つにパッケージングし制御情報を付加することでパケット整形が行われ、一連の自己識別パケットが上層にイン

ターフェースされる。従って、各自己識別パケットに制御情報を付加して上層にインターフェースする場合に比べて、整形されたパケットが書き込まれる記憶手段の記憶領域を節約できる。また、一連の自己識別パケットをひとまとめにして取り扱えるため、ファームウェアなどの処理のオーバーヘッドを軽減できる。

また本発明は、前記パケット整形手段が、自己識別パケットがエラーチェック情報を含む場合に、自己識別パケットの中の該エラーチェック情報を削除し、該エラーチェック情報が削除された自己識別パケットの並びからなるデータと前記制御情報とによりフレームが構成されるパケットに、転送されてきた一連の自己識別パケットを整形することを特徴とする。このようにすれば、整形されたパケットが書き込まれる記憶手段の記憶領域を更に節約することが可能になる。

また本発明は、前記パケット整形手段が、各ノードから転送されてくる自己識別パケットにエラーがあるか否かを前記エラーチェック情報に基づき判断し、自己識別パケットにエラーがあるか否かを示すステータス情報をパケットの制御情報に付加することを特徴とする。このようにすれば、自己識別パケットにエラーがあったことを、簡易に上層に伝えることが可能になる。

また本発明は、前記パケット整形手段が、自己識別期間に受信したパケットか否かを示すステータス情報をパケットの制御情報に付加することを特徴とする。このようにすれば、自己識別パケットをパッケージングすることで得られたパケットとそれ以外のパケットとの区別が容易になる。

また本発明は、前記記憶手段がランダムアクセス可能であると共に制御情報領域とデータ領域とに分離されている場合において、パケットの制御情報を前記記憶手段の前記制御情報領域に書き込み、パケットのデータを前記記憶手段の前記データ領域に書き込むパケット分離手段と、前記データ領域に書き込まれるデータのアドレスを指すデータポインタを前記制御情報に付加する手段とを含むことを特徴とする。このようにすれば、整形されたパケットの制御情報の部分とデータの部分とを別個に取り扱うことが可能になり、ファームウェアなどの処理のオーバーヘッドを軽減できる。

また本発明は、前記パケット分離手段が、一連の自己識別パケットを整形する

ことで得られたパケットのデータを、前記記憶手段の自己識別パケット専用に設けられた領域に書き込むことを特徴とする。このようにすれば、トポロジーマップの作成などの際の処理を簡易化できるようになる。

また本発明は、下層から送られてくるステータス情報に基づいて自己識別期間中か否かを検出する手段を含み、前記パケット整形手段が、自己識別期間中に転送されてきた一連のパケットを自己識別パケットと見なして、該一連の自己識別パケットを整形することを特徴とする。このようにすれば、処理対象となるパケットが自己識別パケットか否かを簡易に検出できるようになり、ハードウェアの小規模化を図れる。

なお、本発明では、IEE1394の規格に準拠したデータ転送を行うことが望ましい。

また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする。また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、処理が施されるデータを取り込むための装置とを含むことを特徴とする。

本発明によれば、他のノードから転送されたデータを電子機器において出力したり記憶したりする処理、電子機器において取り込んだデータを他のノードに転送したりする処理を高速化することが可能になる。また、本発明によれば、整形後のパケットを記憶する記憶手段を小規模化できると共に、データ転送を制御するファームウェアなどの処理負担を軽減できるため、電子機器の低コスト化、小規模化などを図ることも可能になる。

#### [図面の簡単な説明]

図1A、図1B、図1Cは、非同期転送とアイソクロナス転送について説明するための図である。

図2A、図2Bは、ツリー識別について説明するための図である。

図3は、自己識別について説明するための図である。

図4A、図4B、図4C、図4Dは、セルフIDパケットなどの物理層のパケットのフォーマットを示す図である。

図5は、IEEE1394のプロトコル構成について示す図である。

図6は本実施形態のデータ転送制御装置の構成例を示す図である。

図7は、ヘッダ（制御情報）領域とデータ領域の分離について説明するための図である。

図8は、本実施形態の比較例の構成例について示す図である。

図9は、図8の構成によるデータ転送の手法について説明するための図である。

図10は、データ転送の手法の他の例について説明するための図である。

図11は、本実施形態のデータ転送の手法について説明するための図である。

図12は、セルフID期間について説明するための図である。

図13A、図13Bは、各々、比較例、本実施形態のパケット整形について説明するための図である。

図14A、図14Bは、セルフIDパケットのパリティの部分を削除する手法について説明するための図である。

図15Aは、データポインタをヘッダに付加する手法を、図15Bは、セルフID期間のパケットか否かを示すBRをトレイラーに付加する手法を説明するための図である。

図16は、データ領域にセルフIDパケット専用の領域を設ける手法について説明するための図である。

図17は、リンクコア（パケット整形回路）とDMAC（RF用）の構成例について示す図である。

図18は、セルフID期間でのパケット整形の詳細な処理例について説明するためのタイミング波形図である。

図19A、図19B、図19Cは、コントロールバスCTL、データバスD、ステータス情報（ステータスピット）について説明するための図である。

図20A、図20Bは、PHYパケットのフォーマットを示す図である。

図21は、TAGについて説明するための図である。

図22は、セルフID期間外でのパケット整形の詳細な処理例について説明するためのタイミング波形図である。

図23A、図23B、図23Cは、種々の電子機器の内部ブロック図の例である。

図24A、図24B、図24Cは、種々の電子機器の外観図の例である。

#### [発明を実施するための最良の形態]

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

##### 1. IEEE 1394

まず、IEEE 1394の概要について簡単に説明する。

###### 1. 1 データ転送速度、接続トポロジー

IEEE 1394 (IEEE 1394-1995、P1394.a) では 100～400 Mbps の高速なデータ転送が可能となっている (P1394.b では 800～3200 Mbps)。また、転送速度が異なるノードをバスに接続することも許される。

各ノードはツリー状に接続されており、1つのバスに最大で 63 個のノードが接続可能になっている。なお、バスブリッジを利用すれば約 64000 個のノードを接続することも可能である。

電源が投入されたり、途中でデバイスの抜き差しが発生すると、バスリセットが発生し、接続トポロジーに関する情報が全てクリアされる。そして、バスリセット後、ツリー識別 (ルートノードの決定)、自己識別が行われる。その後、アイソクロナスリソースマネージャ、サイクルマスタ、バスマネージャ等の管理ノードが決定される。そして、通常のパケット転送が開始される。

###### 1. 2 転送方式

IEEE 1394 では、パケットの転送方式として、信頼性が要求されるデータの転送に好適な非同期転送と、リアルタイム性が要求される動画像や音声など

のデータの転送に好適なアイソクロナス転送が用意されている。

図1Aに、非同期サブアクションの例を示す。1つのサブアクションは、調停、パケット転送、アクノリッジメントからなる。即ち、データ転送に先立って、まず、バスの使用権に関する調停が行われる。そしてソース（転送元）ノードからデスティネーション（転送先）ノードにパケットが転送される。このパケットのヘッダにはソースIDとデスティネーションIDが含まれる。デスティネーションノードは、このデスティネーションIDを読んで、自ノード宛のパケットか否かを判断する。デスティネーションノードは、パケットを受け取ると、ソースノードにアクノリッジメント（ACK）のパケットを返す。

パケット転送とACKの間にはアクノリッジギャップが存在する。また、1つのサブアクションと次のサブアクションの間にはサブアクションギャップが存在する。そして、サブアクションギャップに相当する一定のバス・アイドル時間が経過しないと、次のサブアクションの調停を開始できない。これによりサブアクション相互の衝突が回避される。

図1Bに、アイソクロナスサブアクションの例を示す。アイソクロナス転送はブロードキャスト（バスに接続される全てのノードに転送）で実行されるため、パケット受信時にACKは返送されない。また、アイソクロナス転送では、ノードIDではなくチャネル番号を使用してパケット転送が行われる。なお、サブアクション間にはアイソクロナスギャップが存在する。

図1Cに、データ転送時のバスの様子を示す。アイソクロナス転送は、サイクルマスターが一定周期毎にサイクルスタートパケットを発生することで開始する。これにより、1つのチャネル当たり、 $125\mu s$ 毎に少なくとも1つのパケットを転送できるようになる。この結果、動画像や音声などのリアルタイム性が要求されるデータの転送が可能になる。

非同期転送はアイソクロナス転送の合間に行われる。即ち、アイソクロナス転送の方が非同期転送よりも優先順位が高くなっている。これは、図1Cに示すように、アイソクロナスギャップの時間を、非同期転送のサブアクションギャップの時間よりも短くすることで実現される。

### 1. 3 ツリー識別

ツリー識別はバスリセットの後に行われる。ツリー識別によりノード間の親子関係やルートノードが決定される。

まず、リーフノード（1つのノードにしか接続されていないノード）が、隣接するノードに、ペアレントノーティファイを送る。例えば図2AのようにノードA、B、C、D、Eが接続されている場合には、ノードAからノードBに、ノードD及びEからノードCに、ペアレントノーティファイ（PN）が送られる。

ペアレントノーティファイを受け取ったノードは、送り元のノードを自身の子と認知する。そして、チャイルドノーティファイをそのノードに送る。例えば図2Aでは、ノードBからノードAに、ノードCからノードD及びEにチャイルドノーティファイ（CN）が送られる。これによってノードB、A間、ノードC、D間、ノードC、E間の親子関係が決定する。

ノードB、Cの親子関係は、どちらが先にペアレントノーティファイを送ったかで決定される。例えば図2Bのように、ノードCの方が先にペアレントノーティファイを送ると、ノードBが親になりノードCが子になる。

ポートの接続先の全てのノードが自身の子となるノードがルートになる。図2Bでは、ノードBがルートになる。なお、IEEE 1394では、全てのノードがルートになる可能性がある。

### 1. 4 自己識別

ツリー識別の後、自己識別が行われる。自己識別においては、接続トポロジーにおいてルートノードから遠いノードから順にセルフIDパケットが転送される。

より具体的には、例えば図3において、まず、ルートノードBのポート1（番号の小さいポート）に接続されるノードAが、セルフIDパケット（自己識別パケット）を全てのノードにブロードキャストする。

次に、ルートノードBのポート2（番号が大きいポート）に接続されるノードCが選択され、このノードCのポート1（番号の小さいポート）に接続されるノードDがセルフIDパケットをブロードキャストする。次に、ノードCのポート2（番号の大きいポート）に接続されるノードEがセルフIDパケットをブロードキャストする。

ドキャストし、その後、ノードCがブロードキャストする。最後に、ルートであるノードBがセルフIDパケットをブロードキャストし、自己識別が完了する。

セルフIDパケットには各ノードのIDが含まれる。ブロードキャストを行う時点で他のノードから受け取ったセルフIDパケットの個数が、この各ノードのIDとなる。例えば図3では、ノードAがブロードキャストを行う時点では、どのノードもセルフIDパケットを発していないため、ノードAのIDは0になる。ノードAは、このID=0をセルフIDパケットに含ませてブロードキャストする。また、ノードDがブロードキャストを行う時点では、ノードAのみがセルフIDパケットを発している。このため、ノードDのIDは1になる。同様に、ノードE、C、BのIDは、各々、2、3、4になる。

図4AにセルフIDパケットのフォーマットを示す。同図に示すようにセルフIDパケットには各ノードの基本情報が含まれる。具体的には、各ノードのID(PHY\_ID)、リンク層がアクティブか否か(L)、ギャップカウント(gap\_count)、転送速度(spin)、アイソクロナスリソースマネージャになれる能力を有するか否か(C)、電力状態(power)、ポートの状態(p0、p1、p2)などに関する情報が含まれる。

なお、図4Bに、ノードのポート数が4個以上の場合に使用されるセルフIDパケット#1、#2、#3のフォーマットを示す。ポート数が4～11個の場合にはセルフIDパケット#0(図4A)及び#1が、12～19個の場合にはセルフIDパケット#0、#1及び#2が、20～27個の場合にはセルフIDパケット#0、#1、#2及び#3が使用されることになる。

また、図4C、図4Dに、セルフIDパケットと同様に、物理層のパケット(PHYパケット)であるリンクオンパケット、PHY構成パケットのフォーマットを示す。

## 1. 5 アイソクロナスリソースマネージャ

アイソクロナスリソースマネージャ(IRM)は以下の管理機能を有する。

第1に、アイソクロナス転送に必要な種々のリソースを提供する。例えば、チャネル番号レジスタや帯域幅レジスタを提供する。第2に、バスマネージャのI

Dを示すレジスタを提供する。第3に、バスマネージャがない場合に、簡易的なバスマネージャとなる役割を有する。

IRMになれる能力を有し(アイソクロナスリソースを管理する能力を有し)、且つ、動作状態になっている(リンク層がアクティブになっている)ノードの中で(IRMになれる資格を有するノードの中で)、ルートに最も近い(IDが最も大きい)ノードがIRMになる。より、具体的には、図4AのセルフIDパケットにおいて、IRMになれる能力を有するか否かを示すC(CONTENDER)ビットと、リンク層がアクティブか否かを示すL(LINK\_ACTIVE)ビットが共に1になっているノードの中で、ルートに一番近いノード(PHY\_IDが一番大きいノード)がIRMになる。例えば、ルートノードのセルフIDパケットのCビットとLビットが1の場合には、ルートノードがIRMになる。

#### 1. 6 サイクルマスタ、バスマネージャ

サイクルマスタは、図1Cに示すサイクルスタートパケットを送信する役割を有し、ルートノードがサイクルマスタになる。

バスマネージャは、トポロジーマップ(各ノードの接続状態)の作成、スピードマップの作成、バスの電力管理、サイクルマスタの決定、ギャップカウントの最適化などの仕事を行う。

#### 1. 7 プロトコル構成

図5を用いて、IEEE1394のプロトコル構成(層構造)について説明する。

IEEE1394のプロトコルは、物理層、リンク層、トランザクション層により構成される。また、シリアルバスマネージメントは、物理層、リンク層、トランザクション層をモニターしたり制御したりするものであり、ノードの制御やバスのリソース管理のための種々の機能を提供する。

物理層は、リンク層により使用されるロジカルシンボルを電気信号に変換したり、バスの調停を行ったり、バスの物理的インターフェースを定義する。

リンク層は、アドレッシング、データチェック、データフレーミング、サイクル制御などを提供する。

トランザクション層は、リード、ライト、ロックなどのトランザクションを行うためのプロトコルを定義する。

物理層及びリンク層は、通常、データ転送制御装置（インターフェースチップ）などのハードウェアにより実現される。また、トランザクション層は、CPU上で動作するファームウェアや、ハードウェアにより実現される。

## 2. 全体構成

次に、本実施形態の全体構成について図6を用いて説明する。

図6において、PHYインターフェース10は、物理層のプロトコルを実現するPHYチップとのインターフェースを行う回路である。

リンクコア20は、リンク層のプロトコルやトランザクション層のプロトコルの一部を実現する回路であり、ノード間でのパケット転送のための各種サービスを提供する。レジスタ22は、これらのプロトコルを実現したリンクコア20を制御するためのレジスタである。

FIFO(ATF)30、FIFO(ITF)32、FIFO(RF)34は、各々、非同期送信用、アイソクロナス送信用、受信用のFIFOであり、例えばレジスタや半導体メモリなどのハードウェアにより構成される。本実施形態では、これらのFIFO30、32、34の段数は非常に少ない。例えば1つのFIFOの段数は、好ましくは3段以下であり、更に好ましくは2段以下となる。

DMAC40、42、44は、各々、ATF、ITF、RF用のDMAコントローラである。これらのDMAC40、42、44を用いることで、CPU66に介入されることなく、RAM80とリンクコア20との間でのデータ転送が可能になる。なお、レジスタ46は、DMAC40、42、44などを制御するレジスタである。

ポートインターフェース50は、アプリケーション層のデバイス（例えばプリンタの印字処理を行うデバイス）とのインターフェースを行う回路である。本実施形態では、このポートインターフェース50を用いて、例えば8ビットのデータ転送が可能になっている。

FIFO(PF)52は、アプリケーション層のデバイスとの間でのデータ転

送のためのFIFOであり、DMAC54は、PF用のDMAコントローラである。レジスタ56は、ポートインターフェース50やDMAC54を制御するレジスタである。

CPUインターフェース60は、データ転送制御装置をコントロールするCPU66とのインターフェースを行う回路である。CPUインターフェース60は、アドレスデコーダ62、データ同期化回路63、割り込みコントローラ64を含む。クロック制御回路68は、本実施形態で使用されるクロックを制御するものであり、PHYチップから送られてくるSCLKや、マスタークロックであるHCLKが入力される。

バッファマネージャ70は、RAM80とのインターフェースを管理する回路である。バッファマネージャ70は、バッファマネージャの制御のためのレジスタ72、RAM80へのバス接続を調停する調停回路74、各種の制御信号を生成するシーケンサ76を含む。

RAM80は、ランダムアクセス可能なパケット記憶手段として機能するものであり、その機能は例えばSRAM、DRAMなどにより実現される。そして、本実施形態では、図7に示すように、このRAM80がヘッダ領域（広義には制御情報領域）とデータ領域に分離されている。そして、パケットのヘッダ（広義には制御情報）は図7のヘッダ領域に格納され、パケットのデータはデータ領域に格納される。

なおRAM80は、本実施形態のデータ転送制御装置に内蔵させることが特に望ましいが、その一部又は全部を外付けにすることも可能である。

バス90（或いはバス92、94）は、アプリケーションに接続されるものである（第1のバス）。またバス96（或いはバス98）はデータ転送制御装置をコントロールするためのものであり、データ転送制御装置をコントロールするデバイス（例えばCPU）に電気的に接続される（第2のバス）。またバス100（或いはバス102、104、105、106、107、108、109）は、物理層のデバイス（例えばPHYチップ）に電気的に接続されるものである（第3のバス）。また、バス110は、ランダムアクセス可能な記憶手段であるRA

Mに電気的に接続されるものである（第4のバス）。

バッファマネージャ70の調停回路74は、DMAC40、DMAC42、DMAC44、CPUインターフェース60、DMAC54からのバスアクセス要求の調停を行う。そして、この調停結果に基づいて、各々、バス105、107、109、98、94のいずれかと、RAM80のバス110との間にデータの経路が確立される（第1、第2、第3のバスのいずれかと第4のバスとの間にデータ経路が確立される）。

本実施形態の1つの特徴は、ランダムアクセスが可能でありパケットを格納するRAM80を設けると共に、互いに分離されるバス90、96、100と、これらのバスをRAM80のバス110に接続するための調停回路74とを設けた点にある。

例えば図8に、本実施形態と構成の異なるデータ転送制御装置の例を示す。このデータ転送制御装置では、リンクコア902は、PHYインターフェース900、バス922を介してPHYチップと接続される。また、リンクコア902は、FIFO904、906、908、CPUインターフェース910、バス920を介してCPU912に接続される。そして、CPU912は、バス924を介して、CPUにローカルなメモリであるRAM914に接続される。

なお、FIFO904、906、908は、図6のFIFO30、32、34と異なり、非常に段数の多いものとなる（例えば1つのFIFOが16段程度）。

図8の構成のデータ転送制御装置を用いた場合のデータ転送の手法について図9を用いて説明する。PHYチップ930を介して他のノードから送られてきた受信パケットは、バス922、データ転送制御装置932、バス920を介してCPU912が受け取る。そして、CPU912は、受け取った受信パケットをバス924を介してRAM914に書き込む。そして、CPU912は、受信パケットをアプリケーション層が使用できるように加工し、バス926を介してアプリケーション層のデバイス934に転送する。

一方、アプリケーション層のデバイス934からのデータを転送する場合には、CPU912は、このデータをRAM914に書き込む。そして、RAM914

のデータにヘッダを付加することで IEEE1394に準拠したパケットを生成する。そして生成されたパケットは、データ転送制御装置932、PHYチップ930などを介して他のノードに送信される。

しかしながら、このようなデータ転送手法によると、CPU912の処理負荷が非常に重くなる。従って、ノード間を接続するシリアルバスの転送速度が高速になっても、CPU912の処理のオーバーヘッドなどに起因して、システム全体の実転送速度は低くなり、結局、高速なデータ転送を実現できない。

このような問題を解決する1つの手法として、図10に示すように、データ転送制御装置932とRAM914との間でのデータ転送や、RAM914とアプリケーション層のデバイス934との間でのデータ転送を、ハードウェアDMAにより実現する手法も考えられる。

しかしながら、この手法では、CPUバス928が、データ転送制御装置932、RAM914間でのデータ転送、RAM914、CPU912間でのデータ転送、RAM914、アプリケーション層デバイス934間でのデータ転送に使用されることになる。従って、システム全体のデータ転送の高速化を図ろうとすると、CPUバス928としてPCIバスのような高速なバスを使用しなければならなくなり、これは、データ転送制御装置を使用する電子機器の高コスト化を招く。

これに対して、本実施形態では図11に示すように、データ転送制御装置120、アプリケーション層デバイス124間のバス90と、CPUバス96と、データ転送制御装置120、RAM80間のバス110とが互いに分離されている。従って、CPUバス96をデータ転送の制御のみに使用できるようになる。また、バス90を占有して、データ転送制御装置120、アプリケーション層デバイス124間でデータ転送を行うことができるようになる。例えば、データ転送制御装置120が組み込まれる電子機器がプリンタである場合には、バス90を占有して印字データを転送できるようになる。この結果、CPU66の処理負荷を軽減でき、システム全体の実転送速度を高めることができる。またCPU66として安価なものを採用できると共に、CPUバス96として高速なバスを使用する

必要性がなくなる。このため、電子機器の低コスト化、小規模化を図れるようになる。

### 3. セルフ ID パケットの整形

#### 3. 1 本実施形態の特徴

さて、図 1 2 に示すように、セルフ ID 期間においては、バスに接続される全てのノードからセルフ ID パケットが送られてくる。そして、各セルフ ID パケットの第 1 クワドレットは、ノード ID などの基本情報が含まれるデータ本体(ボディ)になっており、第 2 クワドレットは、第 1 クワドレットの反転であるパーティ(エラーチェック情報)になっている(詳しくは、図 4 A 参照)。

例えば図 8 の構成のデータ転送制御装置では、これらの一連のセルフ ID パケットを図 1 3 A に示すように整形する。即ち、物理層のパケットであるセルフ ID パケットに、上層(トランザクション層やアプリケーション層やシリアルバスマネジメント層)にインターフェースするためのヘッダを付加するというパケット整形が行われる。そして、整形されたパケットは、CPU のローカルメモリである RAM(図 8 の RAM 9 1 4) に格納される。

しかしながら、セルフ ID パケットは、ノード数に応じた個数だけ必要であり、バスに 6 3 個のノードが接続されると例えば最小で 6 3 個のセルフ ID パケットを保持する必要がある。即ち、セルフ ID パケットの個数は、通常、非常に多い。従って、これらのセルフ ID パケットにヘッダを付加し、そのまま RAM に格納すると、RAM の空き容量が圧迫されてしまい、各ノードのリソースを有効利用できなくなってしまう。また、それぞれのセルフ ID パケットを受け取る毎に、ファームウェアは必要な処理を行わなければならない。従ってセルフ ID パケットの個数が増加すると、ファームウェアの処理負担が増加する。更に、セルフ ID 期間が終了した後、即ちバスリセットが発生してから最初のサブアクションギャップが発生した後には、その受け取ったセルフ ID パケットの整形作業が必要になる。従って、セルフ ID パケットの個数が増加すると、この整形作業の処理負担も増加する。

そこで、本実施形態では図 1 3 B に示すように、転送されてくる一連のパケッ

トを、ヘッダ（広義には制御情報）と、一連のセルフＩＤパケットからなるデータとによりフレームが構成されるパケットに整形している。つまり、一連のセルフＩＤパケットを1つにパッケージングし、このパッケージングされたものに1つのヘッダを付加し、上層にインターフェースしている。

図13Aの比較例では、セルフＩＤパケットの各々に一对一に対応してヘッダが付加されている。これに対して、本実施形態では、このように全てのセルフＩＤパケットの各々にヘッダを付加することは無駄であるということに着目し、一連のセルフＩＤパケットを1つにパッケージングしたものに1つのヘッダを付加している。

このようにすることで、本実施形態では、パケット記憶メモリであるRAM（図6のRAM80）の空き容量が圧迫される事態を効果的に解消することに成功している。これにより、RAMの小規模化を図れ、データ転送制御装置や電子機器の低コスト化、小規模化を図れるようになる。

また、図13Aの比較例では、セルフＩＤパケットがN個あった場合には、整形後のパケットの個数もN個になる。従って、これらの整形後のパケットをRAMから読み出すためには、N回のパケット読み出しを行う必要がある。

これに対して、本実施形態では、セルフＩＤパケットがN個あった場合にも、整形後のパケットは1個になる。従って、整形後のパケットをRAMから読み出すためには、1回のパケット読み出しを行えば済むようになる。従って、ファームウェアなどの処理負担を格段に軽減できる。このため、安価なCPUを採用することも可能となり、データ転送制御装置や電子機器の低コスト化、小規模化を図れるようになる。

また、本実施形態では、一連のセルフＩＤパケットが1つにまとめられるため、図13Aの比較例に比べて、パケットの取り扱いが簡易になるという利点もある。

また、本実施形態では、図14Aに示すように、セルフＩＤパケットの第2クワドレットのパリティを削除し、このパリティが削除されたセルフＩＤパケット（セルフＩＤパケットのデータ本体）の並びにより、整形後のパケットのデータ部分を構成するようにしている。このようにすることで、整形後のパケットのサ

イズを、パリティを削除しない場合に比べて半分程度にすることができる。この結果、セルフIDパケットの記憶に必要なRAMの使用容量を更に節約することに成功している。

この場合、セルフIDパケットにエラーがあるか否かを各セルフIDパケットのパリティに基づき判断し、図14Bに示すように、エラーがあるか否かを示すステータス情報であるHCEを、パケットのトレイラー（広義には制御情報）に付加することが望ましい。このようにすることで、セルフIDパケットのパリティを削除しても、セルフIDパケットにエラーがあったか否かを上層に適切に伝えることが可能になる。

なお、バスに接続される複数のノードからのセルフIDパケットの中に1つでもエラーのセルフIDパケットがあると、たとえ他のセルフIDパケットにエラーが無くても、再度自己識別をやりなおす必要がある。従って、全てのセルフIDパケットに対して、エラーステータス情報としてのHCEは1つで十分となる。

また、HCEは、図14Bのようにトレイラー（フッター）に含ませることが望ましいが、HCEをヘッダに含ませたり、HCEをレジスタなどの所与の記憶手段に格納するようにしてもよい。

また本実施形態では、図15Aに示すように、RAMをヘッダ領域（広義には制御情報領域）とデータ領域に分離し、整形後のパケットのヘッダ及びトレイラーをヘッダ領域にデータをデータ領域に格納している。そして、データ領域に書き込まれるデータのアドレス（例えば先頭アドレス）を指すデータポインタをヘッダに付加している。

このようにすることで、ヘッダとデータとがRAM上において混在しなくなるため、ヘッダやデータの取り扱いが容易になり、CPUの処理負荷を軽減できるようになる。

なお、ヘッダ又はトレイラーに、データポインタの他に、データのサイズ（セルフIDパケット1～Nの全体のサイズ）を示すためのデータレンジス情報を付加してもよい。

また本実施形態では、図15Bに示すように、セルフID期間に受信したパケ

ットか否かを示すステータス情報であるBRを、パケットのトレイラーに付加している。

即ち、図4A～図4Dに示すように、物理層が扱うPHYパケットには、セルフIDパケットの他にリンクオンパケットとPHY構成パケットがある。そして本実施形態では、セルフIDパケットと他のPHYパケット（リンクオンパケット、PHY構成パケット）とをファームウェアなどが容易に区別できることを望ましい。図15Aに示すように、セルフIDパケットにはデータポインタなどが付加されており、セルフIDパケットと他のPHYパケットとではファームウェアの取り扱いが異なったものになるからである。

ところが、パケットの種類を区別するための情報としてIEEE1394において規格化されている`code`を用いても、処理対象となるパケットが、PHYパケットの中のどのパケットなのかを区別できない。

本実施形態によれば、図15Bに示すようにパケットのトレイラーに、セルフID期間に受信したパケットか否かを示すBRが付加される。このため、セルフIDパケットと他のPHYパケットとをファームウェア等が容易に区別できるようになり、処理負荷を軽減できる。

なお、本実施形態では、図16に示すように、データ領域の中にセルフIDパケット専用領域を設け、この領域に整形後のパケットのデータ部分を書き込むようにしてもよい。このようにすれば、トポロジーマップの作成などの際の処理を簡易化でき、ファームウェア等の処理負荷を軽減できるようになる。

### 3. 2 構成

さて、本実施形態におけるパケット整形の機能は図6のリンクコア20により実現され、パケット分離の機能はDMAC44により実現される。

図17に、リンクコア20、FIFO34、DMAC44の構成の一例を示す。なお図17では、パケット整形やパケット分離に関係ない回路ブロックについては省略している。

リンクコア20は、バス監視回路130、直列・並列変換回路132、パケット整形回路160を含む。そして、パケット整形回路160は、パケット診断回

路142、シーケンサ167、バッファ168、セレクタ170を含み、パケット診断回路142は、TAG生成回路162、ヘッダ&トレイラー生成回路164、エラーチェック回路166を含む。

ここで、バス監視回路130は、PHYインターフェース10を介してPHYチップに接続される8ビット幅のデータバスD、2ビット幅のコントロールバスCTLを監視する回路である。

直列・並列変換回路132は、データバスDのデータを32ビットのデータに変換する回路である。例えば、転送速度が400Mbpsの場合には8ビットのデータが32ビットのデータに、200Mbpsの場合には4ビットのデータが32ビットのデータに、100Mbpsの場合には2ビットのデータが32ビットのデータに変換される。

パケット診断回路142は、セルフIDパケットなどのパケットを診断する回路である。TAG生成回路162は、ヘッダ、データ、トレイラーなどを区別するためのTAGを生成する回路であり、ヘッダ&トレイラー生成回路164は、図13B～図15Bなどで説明したヘッダ及びトレイラー（フッター）を生成する回路である。また、エラーチェック回路166は、パケットに含まれるparityなどのエラーチェック情報をチェックしてエラーを検出する回路である。

シーケンサ167は各種の制御信号を生成するものである。バッファ168、セレクタ170は、直列・並列変換回路132からのDI、パケット診断回路142からのヘッダ及びトレイラー、DMAC44からのデータポインタのいずれかを、パケット診断回路142からの信号SELにより選択するためのものである。

FIFO34は、リンクア20からの出力データであるRDの位相と、RAM80への書き込みデータであるWDATAの位相とを調整するためのバッファとして機能するものであり、FIFO状態判断回路35を含む。FIFO状態判断回路35は、FIFOが空になると、EMPTYをアクティブにし、FIFOがフルになると、FULLをアクティブにする。

DMAC44は、パケット分離回路180、アクセス要求実行回路190、ア

クセス要求発生回路192を含む。

パケット分離回路180は、パケット整形回路160により整形されたパケットを分離して、ヘッダ及びトレイラーをRAM80のヘッダ領域に、データをデータ領域に書き込むための回路である(図7参照)。パケット分離回路180は、TAG判別回路182、ポインタ更新回路184、アドレス発生回路188を含む。

TAG判別回路182は、TAG生成回路162により生成されたTAG(DTAG)を判別する回路である。

ポインタ更新回路184は、TAG判別回路182の出力を受け、RAM80にヘッダやデータを書き込むためのヘッダポインタやデータポインタを更新するための回路である。

アドレス発生回路188は、ポインタ更新回路184の出力を受け、RAM80への書き込みアドレスWADRを発生する回路である。

アクセス要求実行回路190は、リンクコア20からのアクセス要求を実行するための回路である。アクセス要求実行回路190は、FIFO状態判断回路35からのFULLがアクティブになると、FFULLをアクティブにする。パケット整形回路160内のシーケンサ167は、FFULLがアクティブでないことを条件に、RD(RxDat a)のストローブ信号であるRDSをアクティブにする。

なおRFAILは、受信における失敗を、シーケンサ167がアクセス要求実行回路190に対して知らせるための信号である。

アクセス要求発生回路192は、RAM80へのアクセス要求を発生するための回路である。アクセス要求発生回路192は、バッファマネージャ70からの書き込みアクノリッジメントであるWACKやFIFO状態判断回路35からのEMPTYを受け、書き込み要求であるWREQをバッファマネージャ70に出力する。

### 3. 3 動作

次に、本実施形態の動作の詳細について図18のタイミング波形図などを用い

て説明する。

まず、リンクコア20の動作について説明する。

バス監視回路130は、セルフID期間（バスリセットから1回目のサブアクションギャップまでの期間）中か否かを判断し、セルフID期間中の場合には図18のC1に示すように、バスリセット中であることを示す信号BRIPをHレベルにする。

セルフID期間中か否かは以下のようにして検出する。まず、バス監視回路130が、PHYチップからの2ビットのCTLを監視する。そして図19Aに示すようにCTLが（01）の場合には、図19Bに示すようにPHYチップからデータバスDを介してステータス情報が送られてくると判断する。このPHYチップからDを介して送られてくるステータス情報の中のステータスピットの内容を調べることで、図19Cに示すようにバスリセットがなされたか否か（ビット2）、サブアクションギャップが来たか否か（ビット1）などを判断できる。そして、バス監視回路130は、バスリセットがなされたと判断すると、図18に示すようにBRIPをHレベルにし、サブアクションギャップが来たと判断すると、BRIPをLレベルに戻す。

このBRIPのレベルを監視することで、パケット診断回路142は、セルフID期間中か否かを知ることができるようになる。そして、このセルフID期間に送られてきたパケットをセルフIDパケットと見なし、前述のパケット整形を行う。

セルフID期間に入ると、まず、パケット診断回路142のヘッダ&トレイラー生成回路164がヘッダを生成する。このヘッダは、バッファ168を介してセレクタ170に入力され、パケット診断回路142からの信号SELに基づきセレクタ170がこのヘッダを選択する。これにより、図18のC2に示すように、RDとしてヘッダが FIFO34に出力されることになる。

なお図20Aに、パケットがセルフIDパケットである場合にヘッダ&トレイラー生成回路164が生成するヘッダ及びトレイラーのフォーマットを示す。同図において網掛けとなっている部分がトレイラーであり、それ以外がヘッダであ

る。

また図20Bに、パケットがセルフIDパケット以外のPHYパケットである場合に、ヘッダ&トレイラー生成回路164が生成するヘッダ及びトレイラーのフォーマットも示す。

ヘッダがRDとして出力されると、次に、DMAC44からのデータポインタがバッファ168を介してセレクタ170に入力され、セレクタ170がこれを選択する。これにより、図18のC3に示すように、RDとしてデータポインタが FIFO34に出力される。

さて、図19Bに示すように、CTLが(10)である場合には受信状態になり、PHYチップからデータバスDを介してセルフIDパケットが送られてくる。直列・並列変換回路132は、これらのセルフIDパケットのデータを32ビットのデータであるDIに変換し、パケット診断回路142及びバッファ168に出力する。

なお、DIEは、DIのデータが有効か無効かを示す信号である(DIEがHレベルの時に有効)。このDIEを調べることでパケット診断回路142はパケットの区切りを知ることができる。また、DISは、DIの取り込みタイミングを知らせるためのストローブ信号である。

データポインタがRDとして出力されると、次に、直列・並列変換回路132からの上記DI(一連のセルフIDパケット)がバッファ168を介してセレクタ170に入力され、セレクタ170がこれを選択する。これにより、C4に示すように、RDとして一連のセルフIDパケットが FIFO34に出力される。

なお、この際に本実施形態では、図14Aで説明したように、セルフIDパケットの第2クワドレットについては削除し、FIFO34に出力しないようにしている。また、これらの第2クワドレットについてはパケット診断回路142のエラーチェック回路166がチェックする。そして、図14Bで説明したように、一連のセルフIDパケットの中に1つでもエラーのパケットがあった場合には、エラーチェック回路166は、トレイラーの中にエラーステータス情報HCEを付加するようにヘッダ&トレイラー生成回路164に指示する。

D I が R D として出力されると、次に、ヘッダ&トレイラー生成回路 1 6 4 からのトレイラーがバッファ 1 6 8 を介してセレクタ 1 7 0 に入力され、セレクタ 1 7 0 がこれを選択する。これにより、C 5 に示すように、R D としてトレイラーが F I F O 3 4 に出力される。

このトレイラーは、図 2 0 A に示すように、データのサイズを表す D a t a l e n g t h 、セルフ I D 期間中のパケットか否かを示す B R 、エラーステータス情報である H C E を含む。

なお、処理対象となるパケットがセルフ I D 期間中のセルフ I D パケットである場合には、図 2 0 A に示すように B R は 1 となり、セルフ I D 期間外のリンクオンパケットや P H Y 構成パケットである場合には、図 2 0 B に示すように B R は 0 になる。このようにすることで、t c o d e が同じ 0 x E であっても、ファームウェアはこれらのパケットを区別できるようになる。

また、セルフ I D パケットの中に 1 つでもエラーのパケットがあった場合には、H C E が 1 になる。これにより、ファームウェア等は、セルフ I D パケットにエラーがあったか否かを簡易に検出でき、自己識別を再度やり直すなどの処理が可能になる。

さて、T A G 生成回路 1 6 2 は、R D として出力される情報を区別するための T A G を生成している。本実施形態では図 2 1 に示すように T A G は 2 ビットであり、(0 0)、(0 1)、(1 0)、(1 1) は、各々、ヘッダ、トレイラー、データ、スタート(ヘッダの最初)を表す。従って、例えば図 1 8 では、(1 1)、(0 0)、(1 0)、(1 0)、…、(0 1) というように T A G が変化する。F I F O 3 4 には、この 2 ビットの T A G と 3 2 ビットの R D とからなる 3 4 ビットのデータが入力されることになる。

なお、図 2 2 に、セルフ I D 期間外において、セルフ I D パケット以外の P H Y パケット(リンクオンパケット、P H Y 構成パケット)を整形する際のタイミング波形図を示す。パケット診断回路 1 4 2 は、B R I P が L レベルである場合には、セルフ I D 期間外であると判断する。そして、この場合には、信号 S E L を制御して、ヘッダの生成後にデータポイントを選択しないようにする。即ち図

18のC3とは異なり、図22のD1に示すようにヘッダにデータポインタを付加する処理は行われない。また図18のC4と異なり、図22のD2に示すように複数のPHYパケットを1つにパッケージングする処理も行われない。また、図20Bに示すように、セルフID期間中か否かを表すBRが0に設定される。またTAGは、(11)、(10)、(01)と変化する。

次に、DMAC44の動作について説明する。

パケット分離回路180に含まれるTAG判別回路182は、RAM80への書き込みデータであるWDATAと共に FIFO34から出力されるDTAGを判別し、WDATAが、スタート(ヘッダの最初)、ヘッダ、データ、トレイラーのいずれなのかを判定する。そして、ポインタ更新回路184は、この判定結果に基づいて、ヘッダポインタやデータポインタの更新を行う。次に、アドレス発生回路188は、更新されたヘッダポインタやデータポインタに基づいて、WDATAの書き込みアドレスであるWADRを発生する。

より具体的には、例えば、WDATAがスタート又はヘッダであるとDTAGに基づき判定された場合は、ポインタ更新回路184が、ヘッダポインタのインクリメント(広義には更新)を行う。アドレス発生回路188は、インクリメントされるヘッダポインタに基づきRAM80のアドレスであるWADRを発生する。

次に、WDATAがデータであるとDTAGに基づき判定された場合は、ポインタ更新回路184が、データポインタのインクリメントを行う。アドレス発生回路188は、インクリメントされるデータポインタに基づきWADRを発生する。最後に、WDATAがトレイラーであるとDTAGに基づき判定された場合は、ポインタ更新回路184が、今度は、ヘッダポインタのインクリメントを行う。

以上のようにして、パケットを分離してヘッダ領域とデータ領域に書き込むことが可能になる。

特に本実施形態では、ヘッダに付加されるデータポインタが、ポインタ更新回路184からパケット整形回路160に伝えられる。そしてパケット整形回路1

60が、この伝えられたデータポインタをパケットのヘッダに付加する。このようにすることで、ヘッダ領域からヘッダを読み出したファームウェアなどが、そのヘッダに対応するデータのデータ領域での格納アドレスを容易に知ることができるようになる。また、データポインタの付加は、パケット整形回路160により行われ、DMAC44はこれに関与する必要がない。従って、DMAC44がRAM80へのデータ書き込み処理に専念できるようになり、DMAC44の回路構成や処理を簡素化できるようになる。

なお、RAM80を分離する領域の境界、例えばヘッダ領域とデータ領域の境界の設定は、CPUインターフェース60を介してCPU66（ファームウェア等）が、図6のレジスタ46に含まれるポインタ設定レジスタに対して、境界のアドレスを指すポインタを設定することで実現される。

また、データ領域が複数の領域に分離される場合（アイソクロナス転送用と非同期転送用の領域に分離される場合、第1、第2の非同期転送用の領域に分離される場合等）には、各々が各領域を指す複数のデータポインタを用意することが望ましい。より具体的には、図17に示すように、DMAC44が、複数のデータポインタ、例えば第1、第2のデータポインタをパケット整形回路160に対して渡すようにする（3個以上のデータポインタを渡してもよい）。このようにすることで、デジタルカメラにおける動画像データをアイソクロナス転送用データ領域に連続的に格納したり、プリンタにおける印字データを第2の非同期転送用データ領域に連続的に格納したりすること（第1の非同期転送用データ領域にはコマンドデータ、ステータスデータなどの制御用データを格納する）が可能になる。

アクセス要求発生回路192は、FIFO状態判断回路35からのEMPTYや、バッファマネージャ70からのWACKに基づいて、WREQを生成し、バッファマネージャ70に出力する。バッファマネージャ70の調停回路74は、このWREQや、PF用のDMAC54や、CPUインターフェース60からWREQに基づいてバスの調停を行うことになる。

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する。

例えば図23Aに電子機器の1つであるプリンタの内部ブロック図を示し、図24Aにその外観図を示す。CPU(マイクロコンピュータ)510はシステム全体の制御などを行う。操作部511はプリンタをユーザが操作するためのものである。ROM516には、制御プログラム、フォントなどが格納され、RAM518はCPU510のワーク領域として機能する。表示パネル519はプリンタの動作状態をユーザに知らせるためのものである。

PHYチップ502、データ転送制御装置500を介して、パーソナルコンピュータなどの他のノードから送られてきた印字データは、バス504を介して印字処理部512に直接送られる。そして、印字データは、印字処理部512にて所与の処理が施され、プリントヘッダなどからなる印字部(データを出力するための装置)514により紙に印字されて出力される。

図23Bに電子機器の1つであるスキャナの内部ブロック図を示し、図24Bにその外観図を示す。CPU520はシステム全体の制御などを行う。操作部521はスキャナをユーザが操作するためのものである。ROM526には制御プログラムなどが格納され、RAM528はCPU520のワーク領域として機能する。

光源、光電変換器などからなる画像読み取り部(データを取り込むための装置)522により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部524により処理される。そして、処理後の画像データがバス505を介してデータ転送制御装置500に直接送られる。データ転送制御装置500は、この画像データにヘッダなどを付加することでパケットを生成し、PHYチップ502を介してパーソナルコンピュータなどの他のノードに送信する。

図23Cに電子機器の1つであるCD-Rドライブの内部ブロック図を示し、図24Cにその外観図を示す。CPU530はシステム全体の制御などを行う。操作部531はCD-Rをユーザが操作するためのものである。ROM536には制御プログラムなどが格納され、RAM538はCPU530のワーク領域として機能する。

レーザ、モータ、光学系などからなる読み取り&書き込み部（データを取り込むための装置又はデータを記憶するための装置）533によりCD-R532から読み取られたデータは、信号処理部534に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、バス506を介してデータ転送制御装置500に直接送られる。データ転送制御装置500は、このデータにヘッダなどを付加することでパケットを生成し、PHYチップ502を介してパーソナルコンピュータなどの他のノードに送信する。

一方、PHYチップ502、データ転送制御装置500を介して、他のノードから送られてきたデータは、バス506を介して信号処理部534に直接送られる。そして、信号処理部534によりこのデータに所与の信号処理が施され、読み取り&書き込み部533によりCD-R532に記憶される。

なお、図23A、図23B、図23Cにおいて、CPU510、520、530の他に、データ転送制御装置500でのデータ転送制御のためのCPUを別に設けるようにしてもよい。

本実施形態のデータ転送制御装置を電子機器に用いることで、高速なデータ転送が可能になる。従って、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見ることができるようになる。また、CD-Rからのデータの読み取りや、CD-Rへのデータの書き込みを高速に行うことができるようになる。更に、例えば1つのホストシステムに複数の電子機器を接続して利用したり、複数のホストシステムに複数の電子機器を接続して利用したりすることも容易になる。

また本実施形態のデータ転送制御装置を電子機器に用いることで、CPU上で動作するファームウェアの処理負荷が軽減され、安価なCPUや低速のバスを用いることが可能になる。更に、パケットを記憶するRAMを小容量化できる。従って、電子機器の低コスト化、小規模化を図ることが可能になる。

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以

外にも例えば、種々の光ディスクドライブ（CD-ROM、DVD）、光磁気ディスクドライブ（MO）、ハードディスクドライブ、TV、VTR、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、ワードプロセッサなど種々のものを考えることができる。

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

例えば、本発明のデータ転送制御装置の構成は、図6に示す構成が特に望ましいが、これに限定されるものではない。例えば、図8に示すような構成を採用することも可能である。

また、本発明は、IEEE 1394規格でのデータ転送に適用されることが特に望ましいが、これに限定されるものではない。例えばIEEE 1394と同様の思想に基づく規格やIEEE 1394を発展させた規格におけるデータ転送にも本発明は適用できる。

## 請求の範囲

1. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

各ノードから転送されてくる一連の自己識別パケットを受け、上層が使用する制御情報と各ノードから転送されてきた一連の自己識別パケットの並びからなるデータとによりフレームが構成されるパケットに、転送されてきた一連の自己識別パケットを整形するパケット整形手段と、

整形されたパケットを記憶手段に書き込む書き込み手段とを含むことを特徴とするデータ転送制御装置。

2. 請求項1において、

前記パケット整形手段が、

自己識別パケットがエラーチェック情報を含む場合に、自己識別パケットの中の該エラーチェック情報を削除し、該エラーチェック情報が削除された自己識別パケットの並びからなるデータと前記制御情報とによりフレームが構成されるパケットに、転送されてきた一連の自己識別パケットを整形することを特徴とするデータ転送制御装置。

3. 請求項2において、

前記パケット整形手段が、

各ノードから転送されてくる自己識別パケットにエラーがあるか否かを前記エラーチェック情報に基づき判断し、自己識別パケットにエラーがあるか否かを示すステータス情報をパケットの制御情報に付加することを特徴とするデータ転送制御装置。

4. 請求項1において、

前記パケット整形手段が、

自己識別期間に受信したパケットか否かを示すステータス情報をパケットの制御情報に付加することを特徴とするデータ転送制御装置。

5. 請求項2において、

前記パケット整形手段が、

自己識別期間に受信したパケットか否かを示すステータス情報をパケットの制御情報に付加することを特徴とするデータ転送制御装置。

6. 請求項 3 において、

前記パケット整形手段が、

自己識別期間に受信したパケットか否かを示すステータス情報をパケットの制御情報に付加することを特徴とするデータ転送制御装置。

7. 請求項 1 において、

前記記憶手段がランダムアクセス可能であると共に制御情報領域とデータ領域とに分離されている場合において、パケットの制御情報を前記記憶手段の前記制御情報領域に書き込み、パケットのデータを前記記憶手段の前記データ領域に書き込むパケット分離手段と、

前記データ領域に書き込まれるデータのアドレスを指すデータポインタを前記制御情報に付加する手段とを含むことを特徴とするデータ転送制御装置。

8. 請求項 2 において、

前記記憶手段がランダムアクセス可能であると共に制御情報領域とデータ領域とに分離されている場合において、パケットの制御情報を前記記憶手段の前記制御情報領域に書き込み、パケットのデータを前記記憶手段の前記データ領域に書き込むパケット分離手段と、

前記データ領域に書き込まれるデータのアドレスを指すデータポインタを前記制御情報に付加する手段とを含むことを特徴とするデータ転送制御装置。

9. 請求項 3 において、

前記記憶手段がランダムアクセス可能であると共に制御情報領域とデータ領域とに分離されている場合において、パケットの制御情報を前記記憶手段の前記制御情報領域に書き込み、パケットのデータを前記記憶手段の前記データ領域に書き込むパケット分離手段と、

前記データ領域に書き込まれるデータのアドレスを指すデータポインタを前記制御情報に付加する手段とを含むことを特徴とするデータ転送制御装置。

10. 請求項 4 において、

前記記憶手段がランダムアクセス可能であると共に制御情報領域とデータ領域とに分離されている場合において、パケットの制御情報を前記記憶手段の前記制御情報領域に書き込み、パケットのデータを前記記憶手段の前記データ領域に書き込むパケット分離手段と、

前記データ領域に書き込まれるデータのアドレスを指すデータポインタを前記制御情報に付加する手段とを含むことを特徴とするデータ転送制御装置。

1 1. 請求項 7 において、

前記パケット分離手段が、

一連の自己識別パケットを整形することで得られたパケットのデータを、前記記憶手段の自己識別パケット専用に設けられた領域に書き込むことを特徴とするデータ転送制御装置。

1 2. 請求項 8 において、

前記パケット分離手段が、

一連の自己識別パケットを整形することで得られたパケットのデータを、前記記憶手段の自己識別パケット専用に設けられた領域に書き込むことを特徴とするデータ転送制御装置。

1 3. 請求項 9 において、

前記パケット分離手段が、

一連の自己識別パケットを整形することで得られたパケットのデータを、前記記憶手段の自己識別パケット専用に設けられた領域に書き込むことを特徴とするデータ転送制御装置。

1 4. 請求項 10 において、

前記パケット分離手段が、

一連の自己識別パケットを整形することで得られたパケットのデータを、前記記憶手段の自己識別パケット専用に設けられた領域に書き込むことを特徴とするデータ転送制御装置。

1 5. 請求項 1 において、

下層から送られてくるステータス情報に基づいて自己識別期間中か否かを検出

する手段を含み、

前記パケット整形手段が、

自己識別期間中に転送されてきた一連のパケットを自己識別パケットと見なし  
て、該一連の自己識別パケットを整形することを特徴とするデータ転送制御装置。

16. 請求項2において、

下層から送られてくるステータス情報に基づいて自己識別期間中か否かを検出  
する手段を含み、

前記パケット整形手段が、

自己識別期間中に転送されてきた一連のパケットを自己識別パケットと見なし  
て、該一連の自己識別パケットを整形することを特徴とするデータ転送制御装置。

17. 請求項3において、

下層から送られてくるステータス情報に基づいて自己識別期間中か否かを検出  
する手段を含み、

前記パケット整形手段が、

自己識別期間中に転送されてきた一連のパケットを自己識別パケットと見なし  
て、該一連の自己識別パケットを整形することを特徴とするデータ転送制御装置。

18. 請求項4において、

下層から送られてくるステータス情報に基づいて自己識別期間中か否かを検出  
する手段を含み、

前記パケット整形手段が、

自己識別期間中に転送されてきた一連のパケットを自己識別パケットと見なし  
て、該一連の自己識別パケットを整形することを特徴とするデータ転送制御装置。

19. 請求項7において、

下層から送られてくるステータス情報に基づいて自己識別期間中か否かを検出  
する手段を含み、

前記パケット整形手段が、

自己識別期間中に転送されてきた一連のパケットを自己識別パケットと見なし  
て、該一連の自己識別パケットを整形することを特徴とするデータ転送制御装置。

20. 請求項11において、

下層から送られてくるステータス情報に基づいて自己識別期間中か否かを検出する手段を含み、

前記パケット整形手段が、

自己識別期間中に転送されてきた一連のパケットを自己識別パケットと見なし、該一連の自己識別パケットを整形することを特徴とするデータ転送制御装置。

21. 請求項1において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

22. 請求項2において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

23. 請求項3において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

24. 請求項4において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

25. 請求項7において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

26. 請求項11において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

27. 請求項15において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

28. 請求項1乃至27のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、

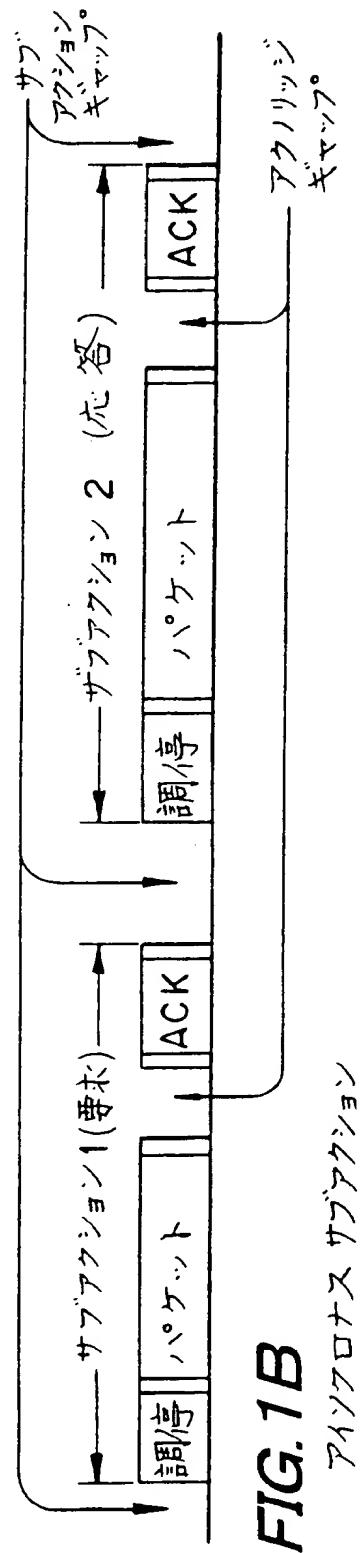
処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする電子機器。

29. 請求項1乃至27のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、

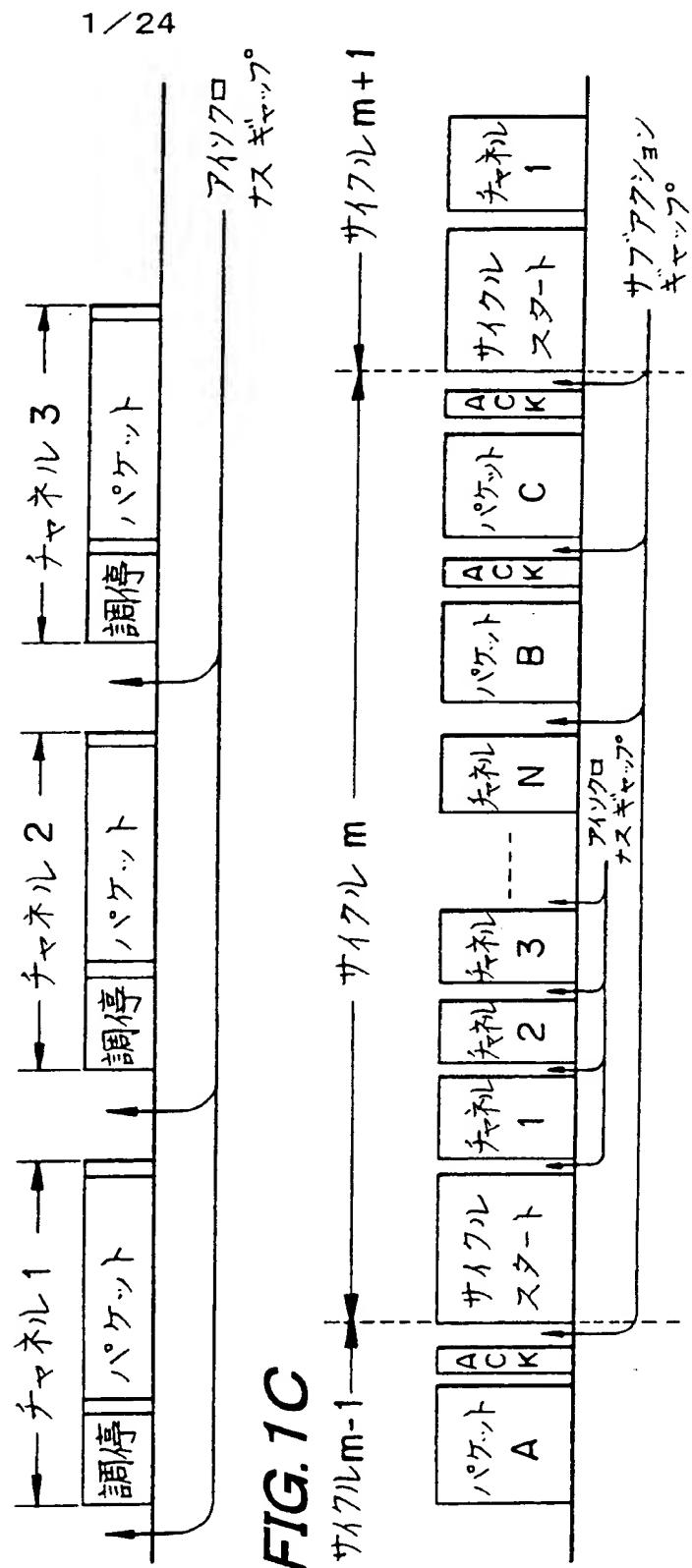
処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

**FIG. 1A**  
非同期サブアクション



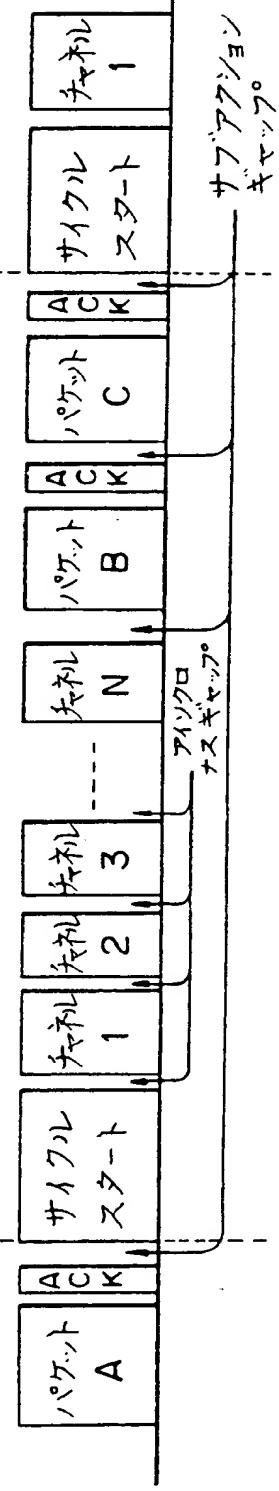
**FIG. 1B**

アイソクロナスサブアクション



**FIG. 1C**

サイクル m-1 → サイクル m → サイクル m+1



**THIS PAGE BLANK (USPTO)**

2/24

FIG.2A

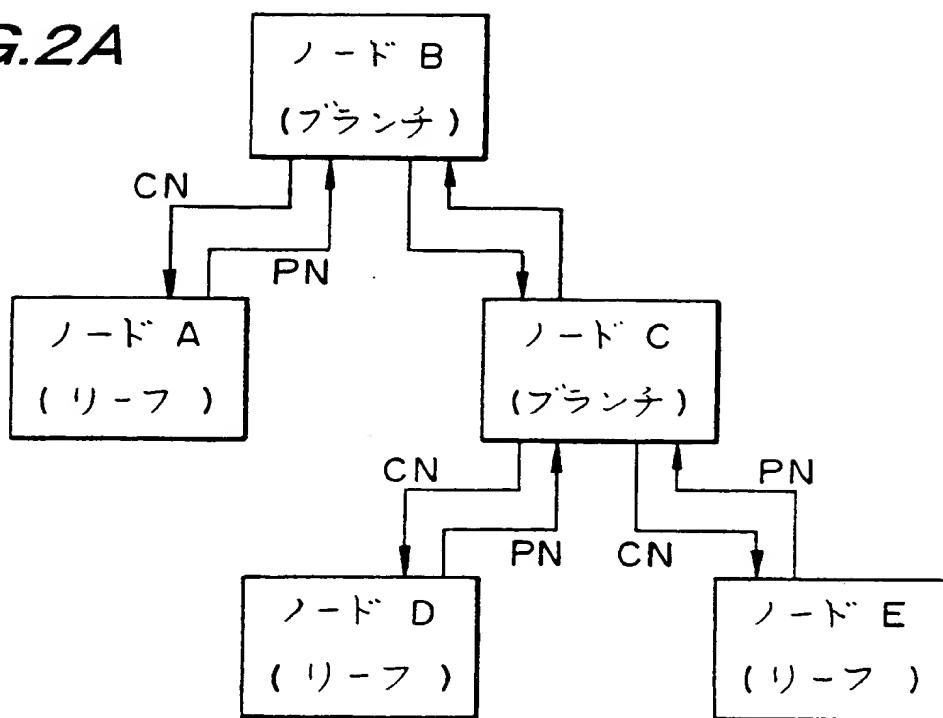
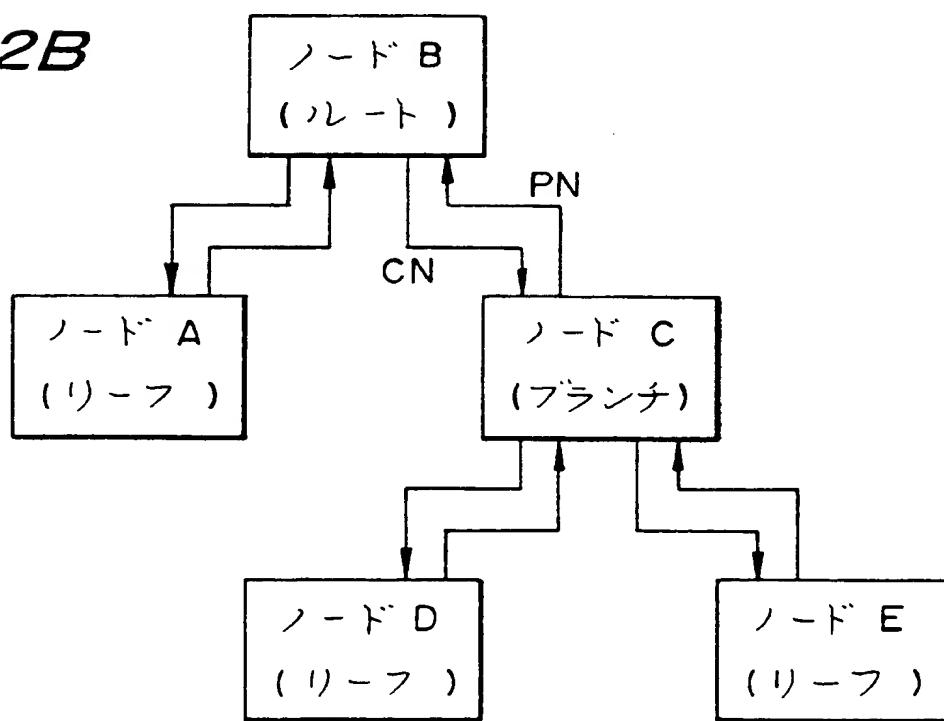


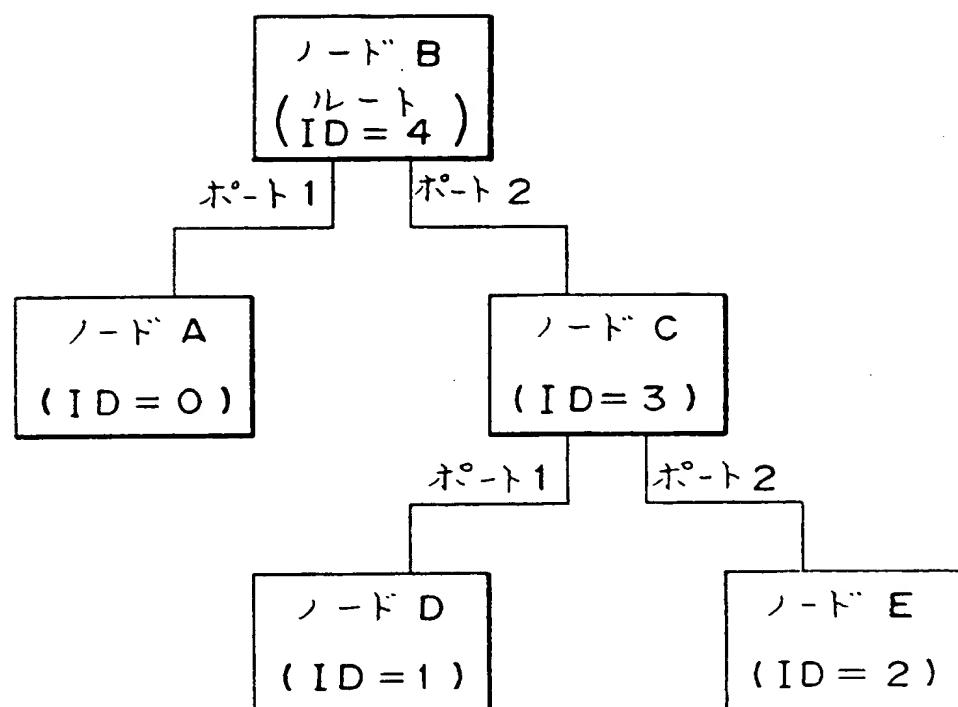
FIG.2B



**THIS PAGE BLANK (USPTO)**

3/24

FIG.3



THIS PAGE BLANK (USPTO)

## FIG.4A セルフ ID パケット #0

b.31	b.0
0	10 PHY_ID 0 L gap_cnt sp del C pwr p0 p1 p2 i m
1	最初の32ビットの反転

## FIG. 4B セルフ ID パケット #1, #2, #3

b.31	b.0
0	10 PHY_ID 1 n rsv pa pb pc pd pe pf pg ph rm
1	最初の32ビットの反転

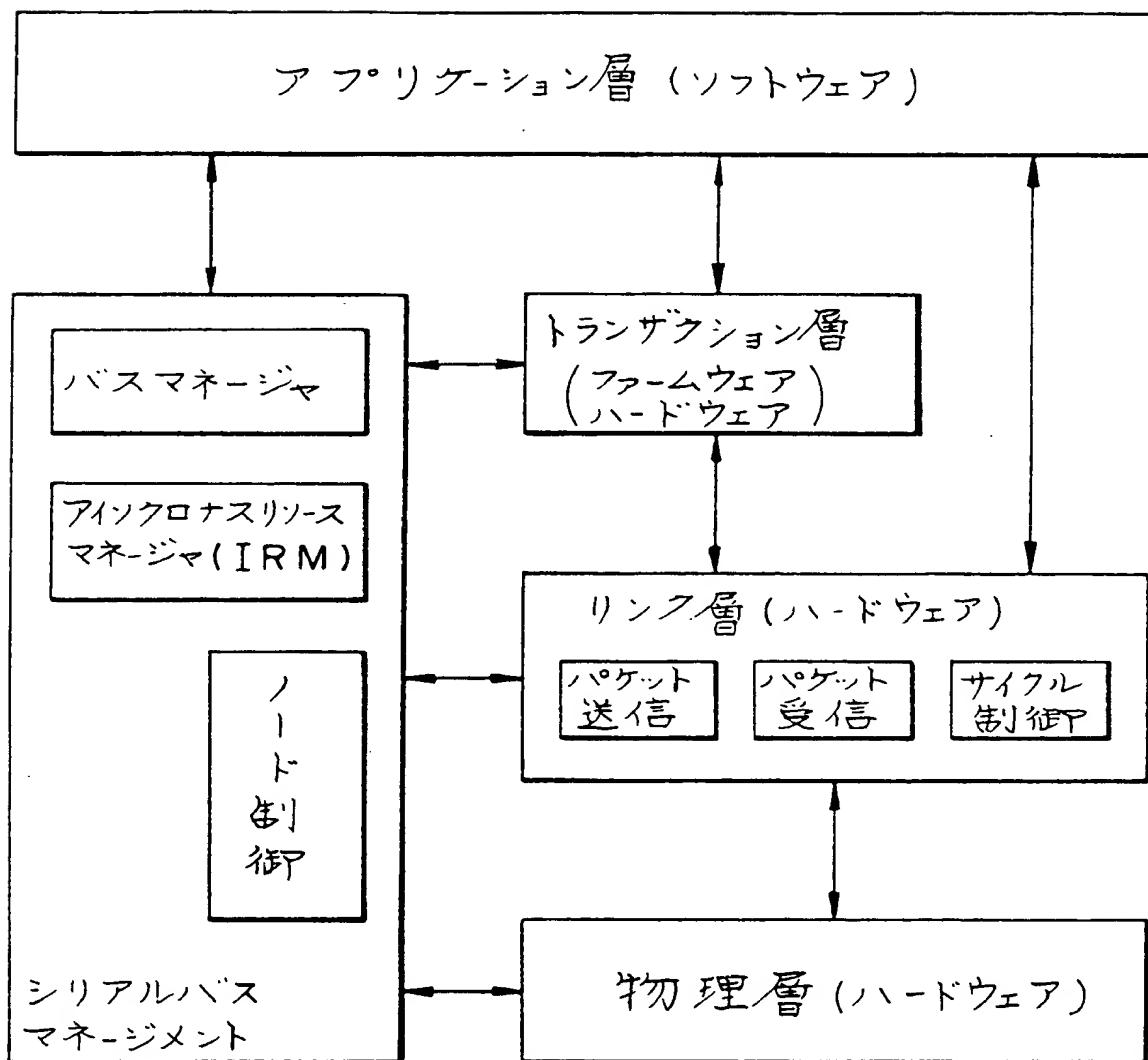
## FIG.4C リンクオンパケット

## FIG.4D PHY構成パケット

THIS PAGE BLANK (USPTO)

5/24

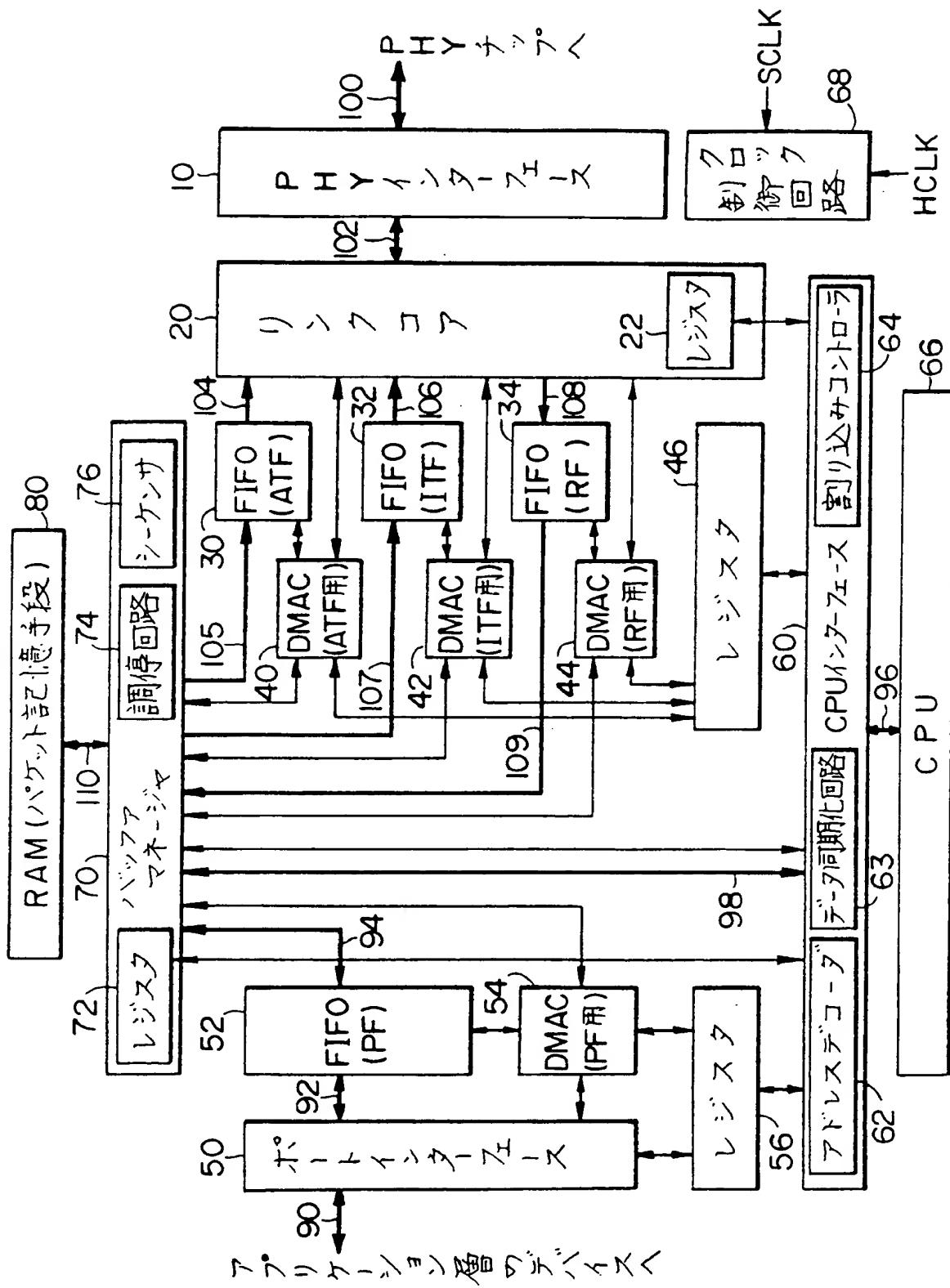
FIG.5



**THIS PAGE BLANK (USPTO)**

6 / 24

FIG. 6

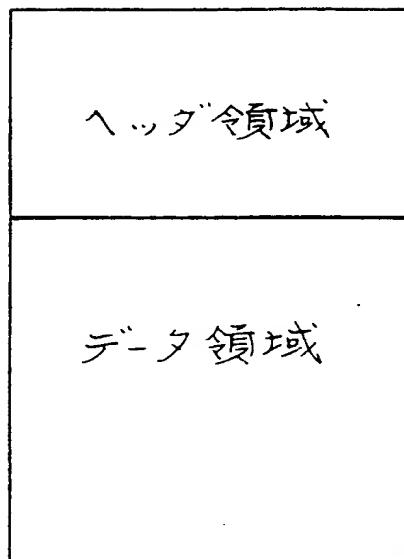


**THIS PAGE BLANK (USPTO)**

7/24

**FIG.7**

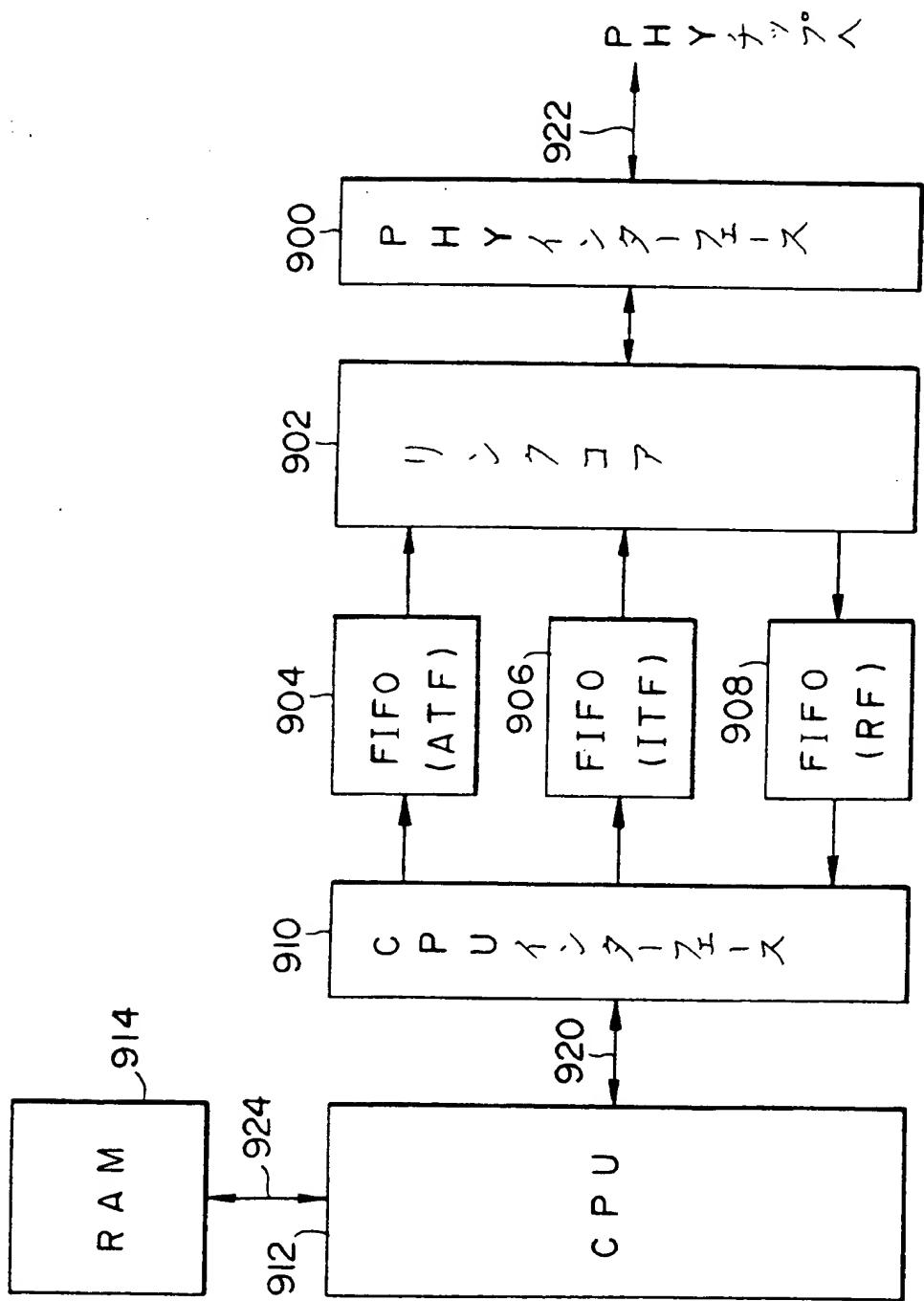
メモリマップ



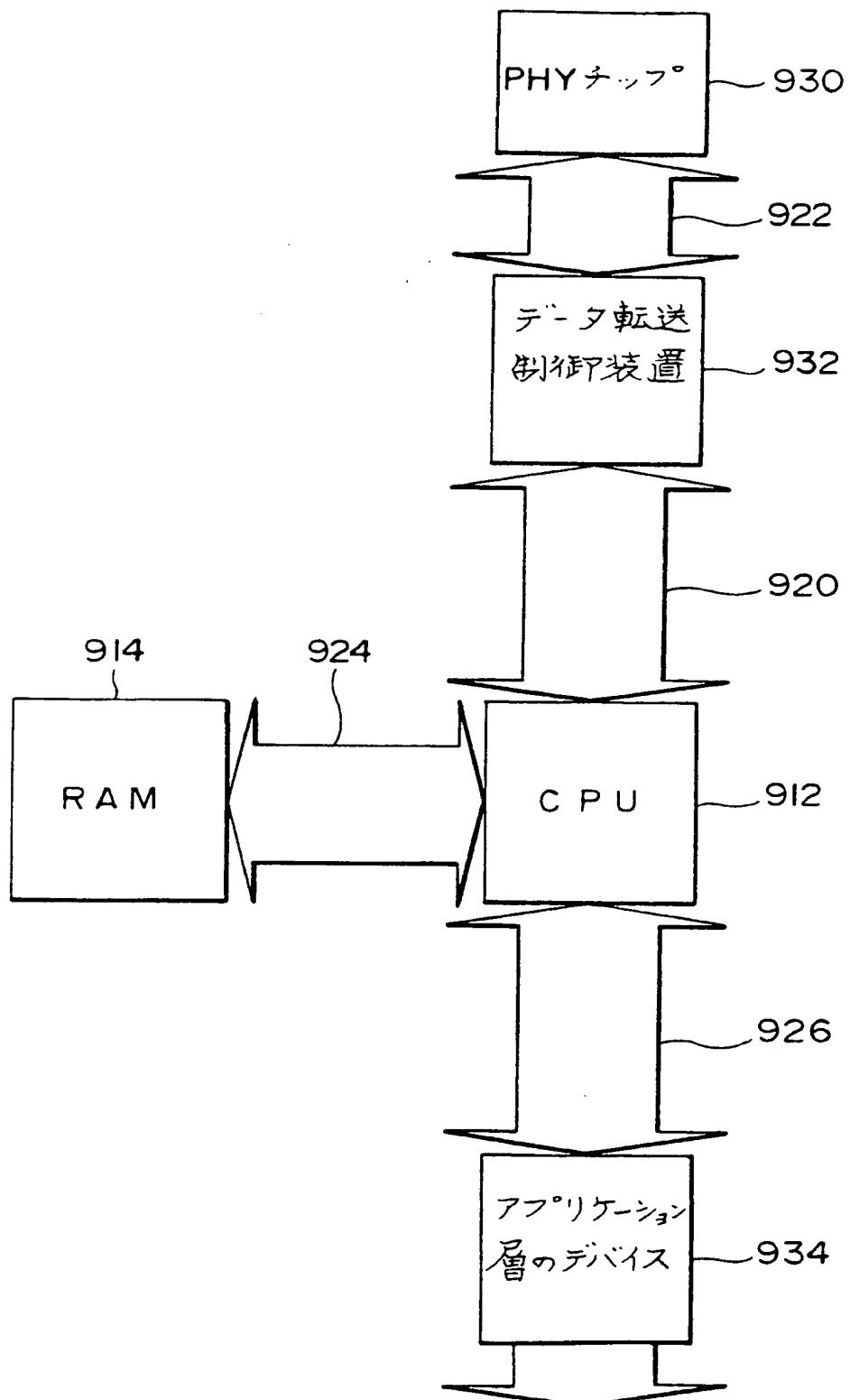
**THIS PAGE BLANK (USPTO)**

8/24

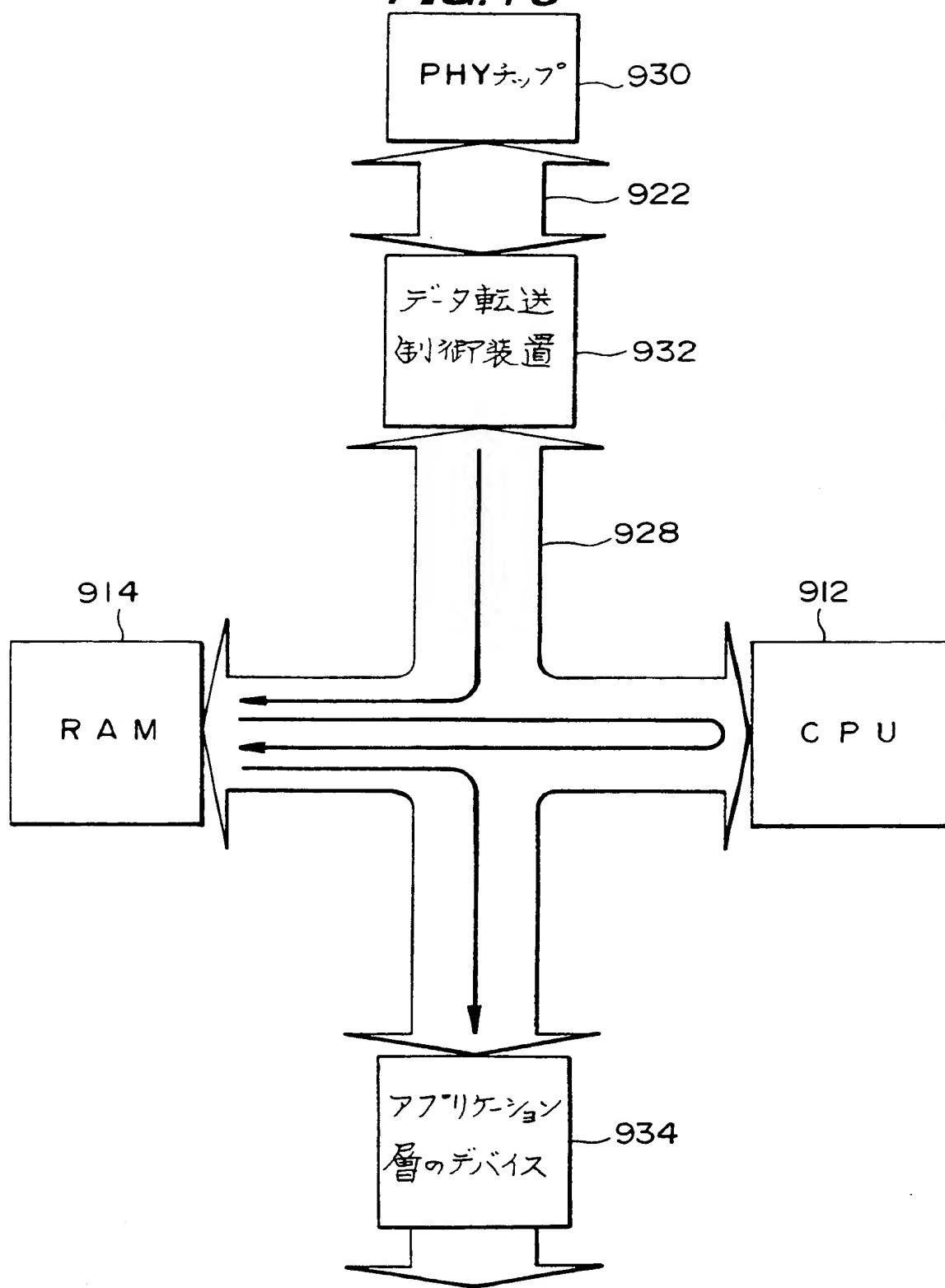
FIG.8



**THIS PAGE BLANK (USPTO)**

9/24  
**FIG.9**

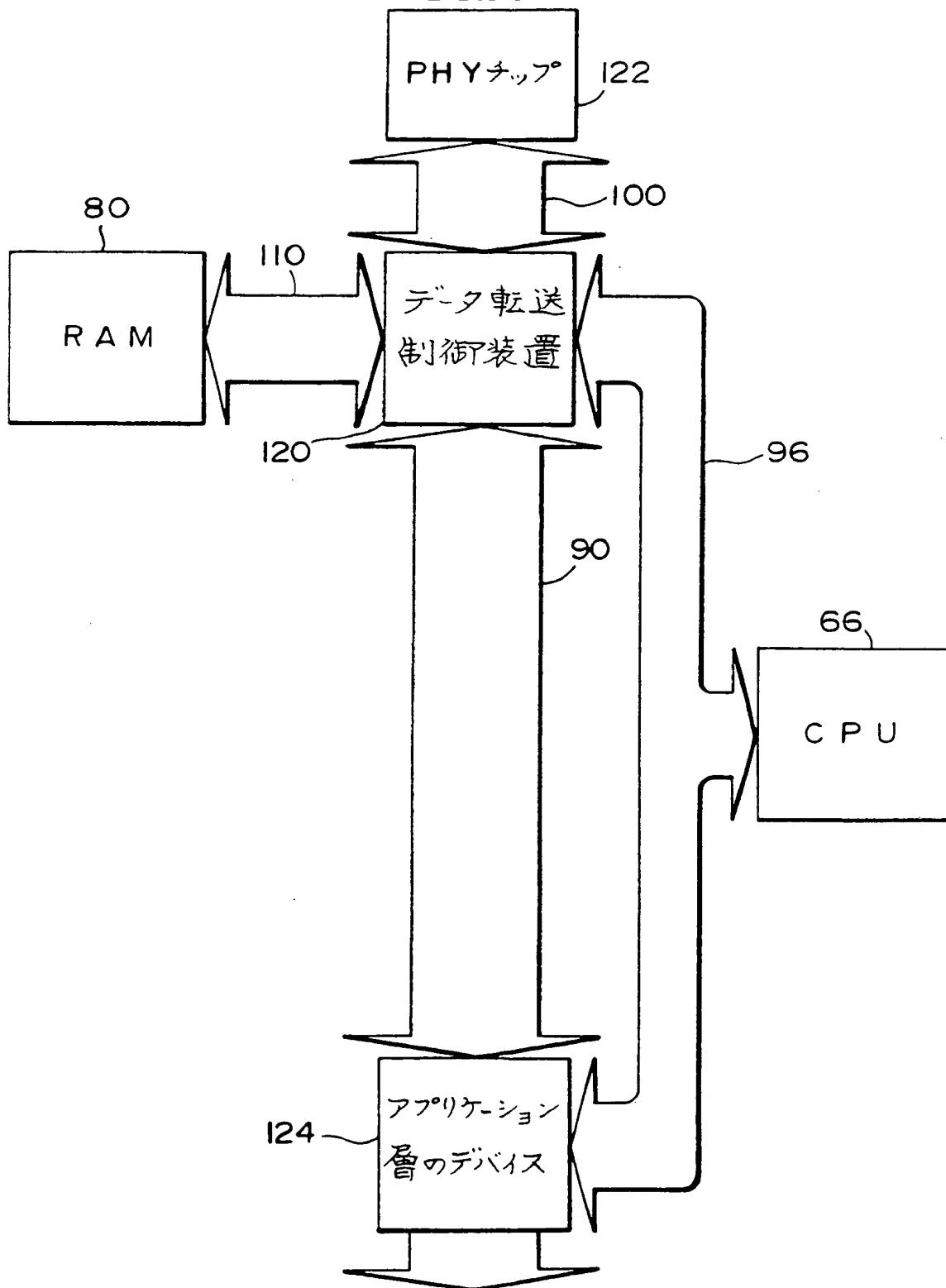
THIS PAGE BLANK (USPTO)

10/24  
FIG. 10

**THIS PAGE BLANK (USPTO)**

11/24

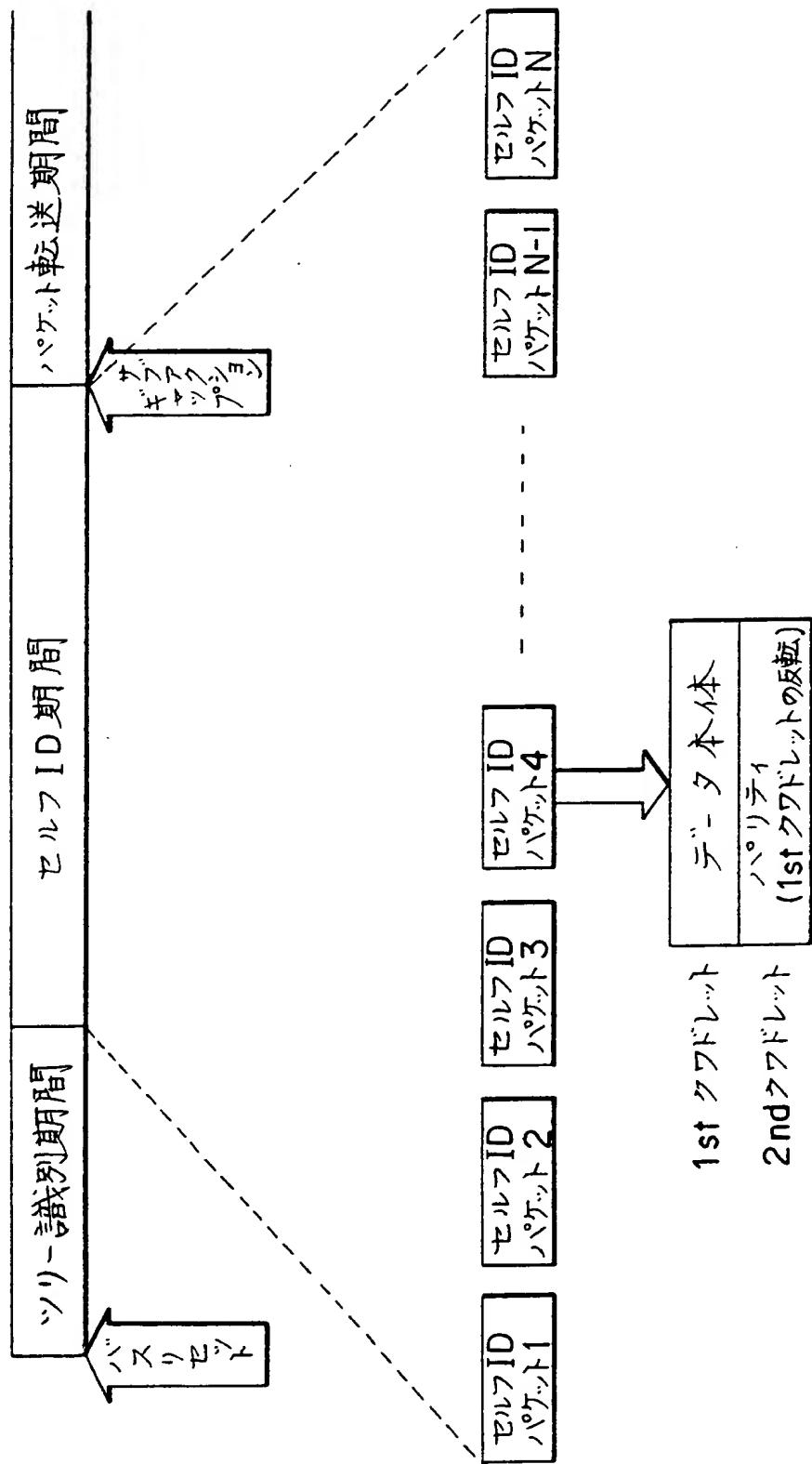
FIG. 11



**THIS PAGE BLANK (USPTO)**

12/24

FIG. 12



**THIS PAGE BLANK (USPTO)**

13/24

FIG. 13A

比較例

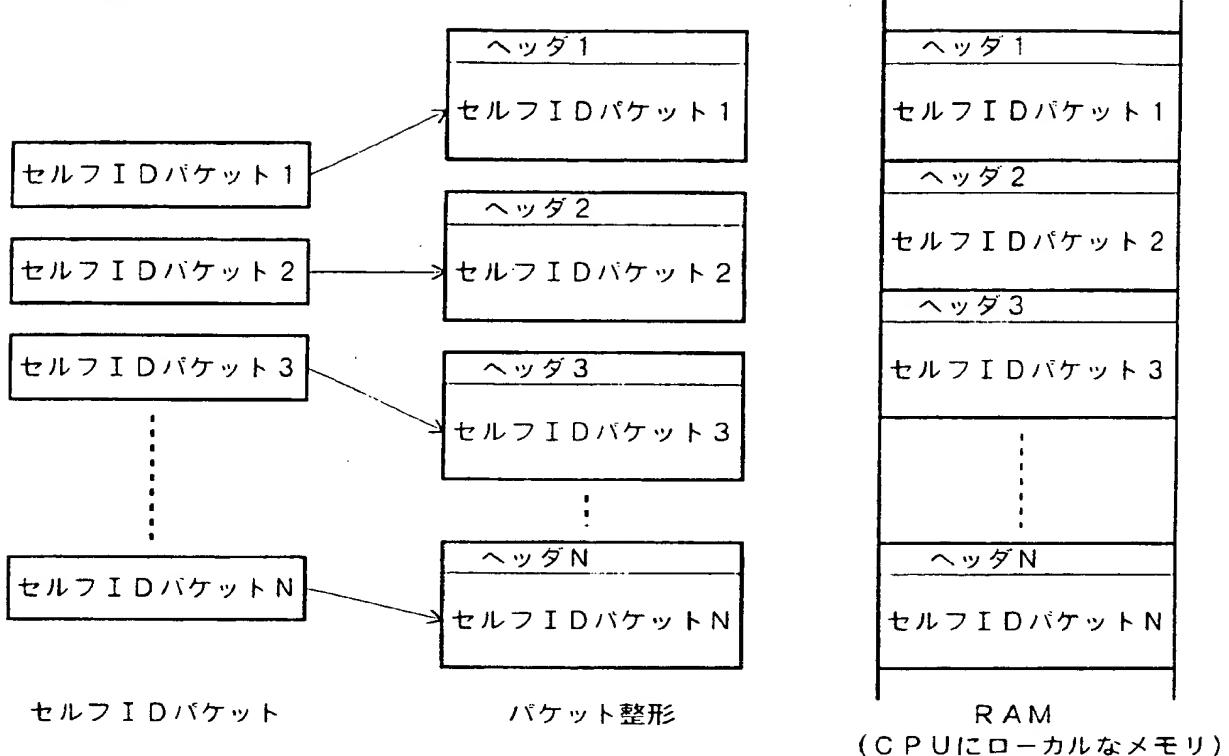
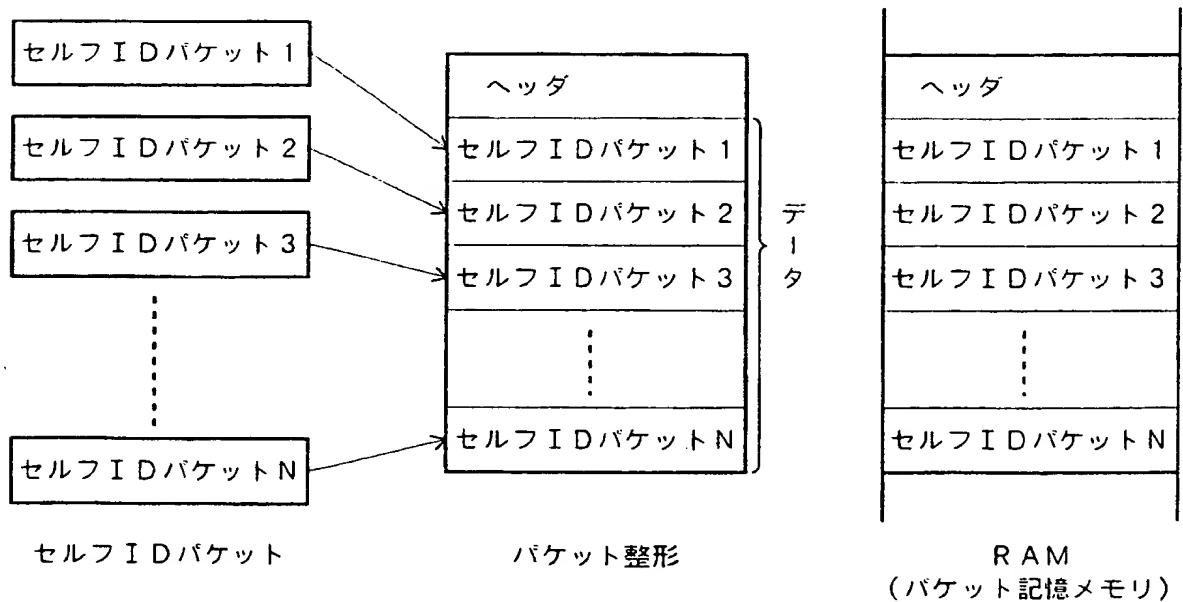


FIG. 13B

本実施形態



THIS PAGE BLANK (USPTO)

14/24

FIG. 14A

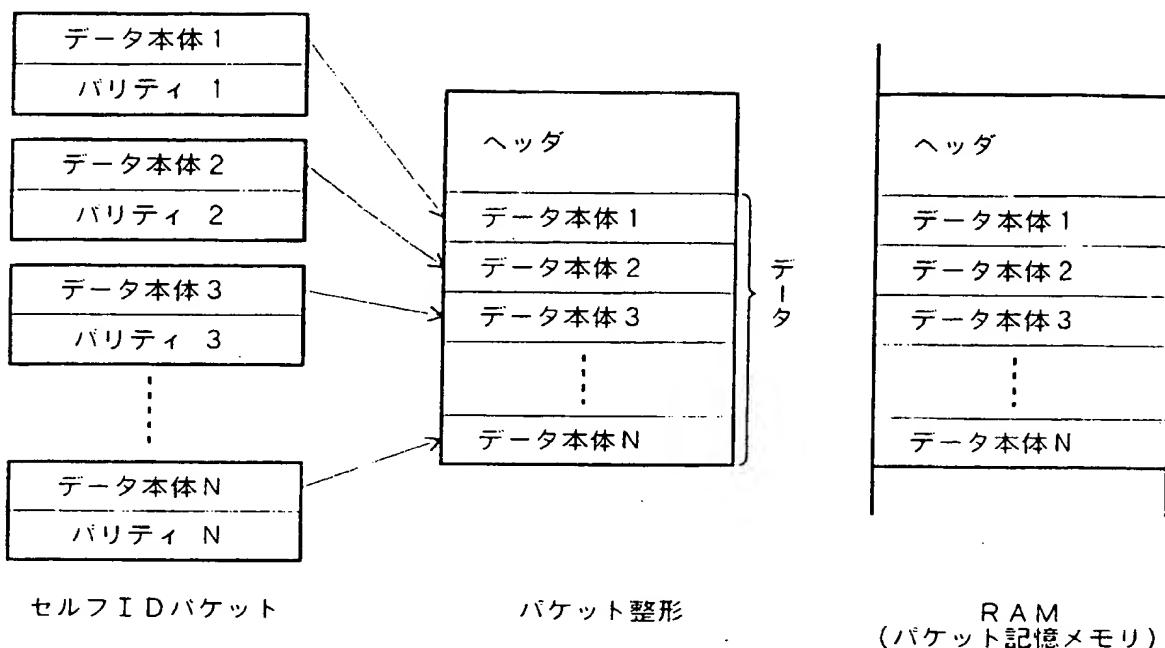
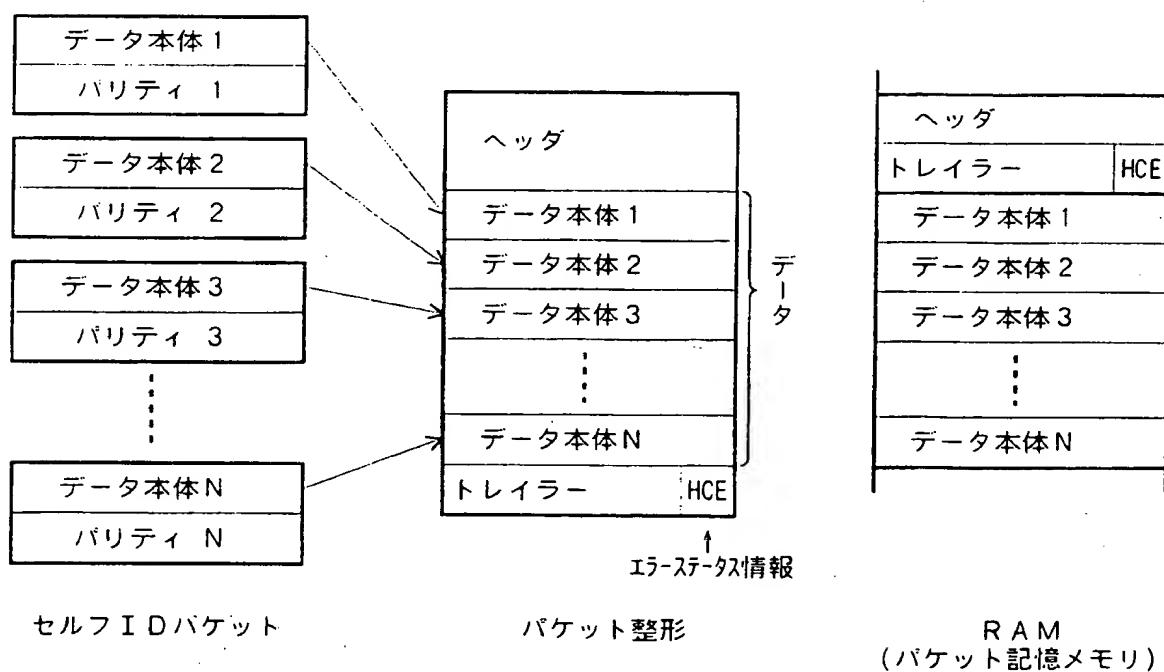


FIG. 14B



**THIS PAGE BLANK (USPTO)**

15/24

FIG. 15A

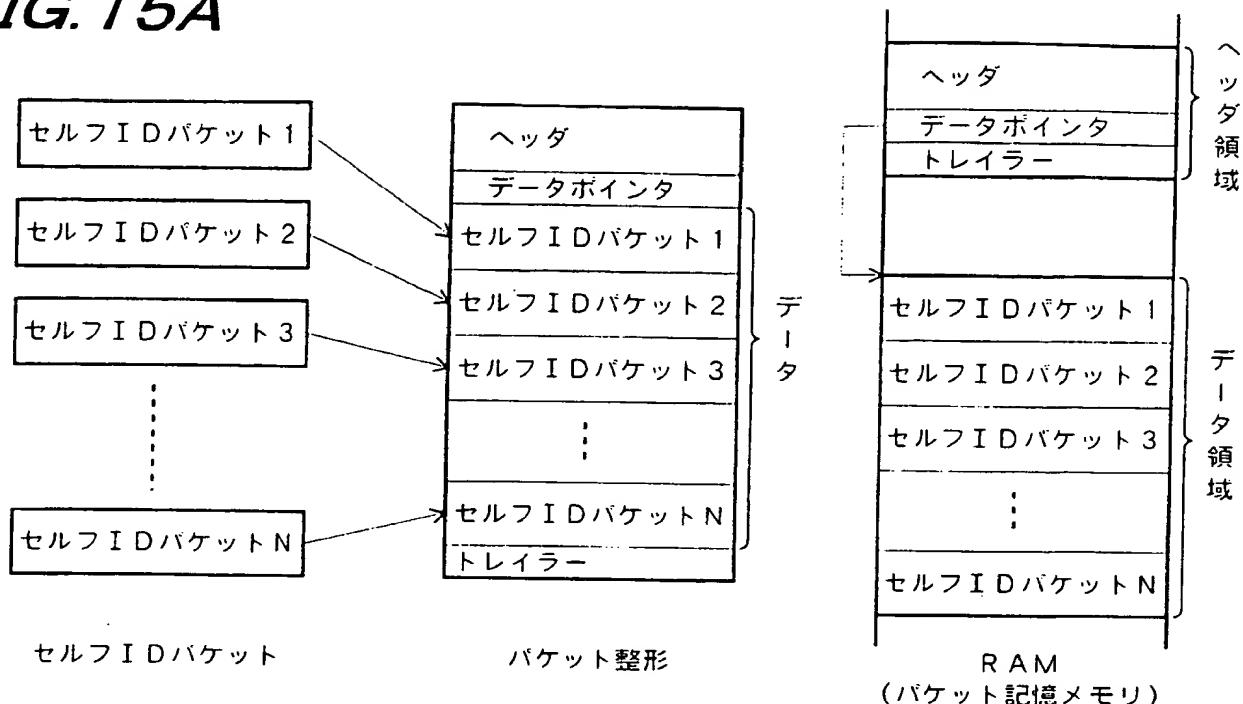
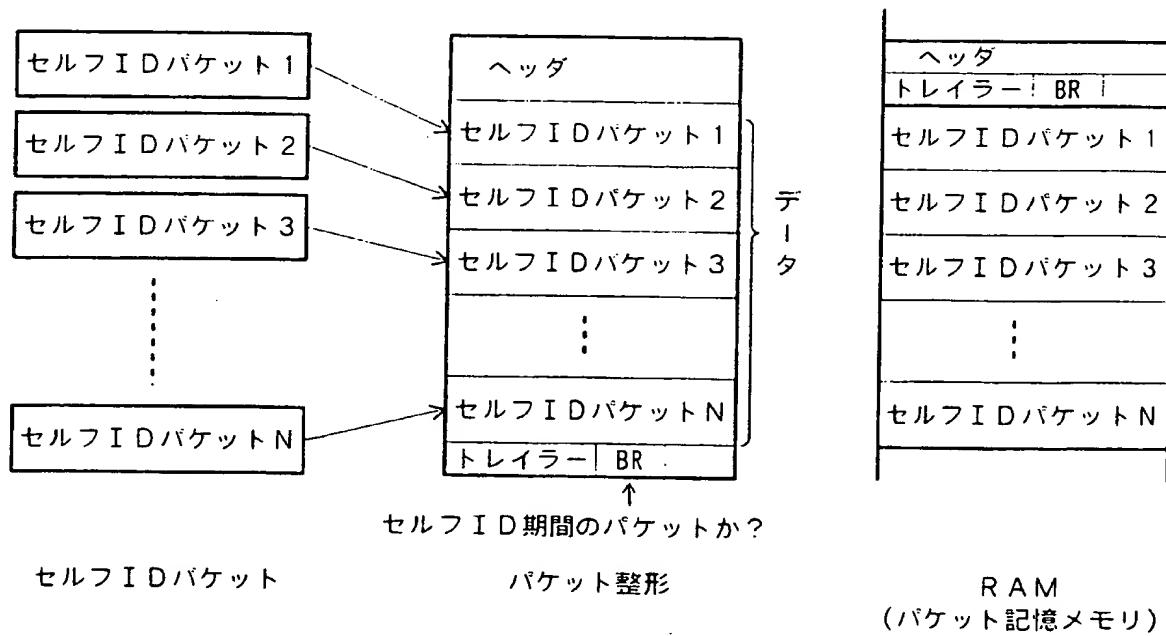
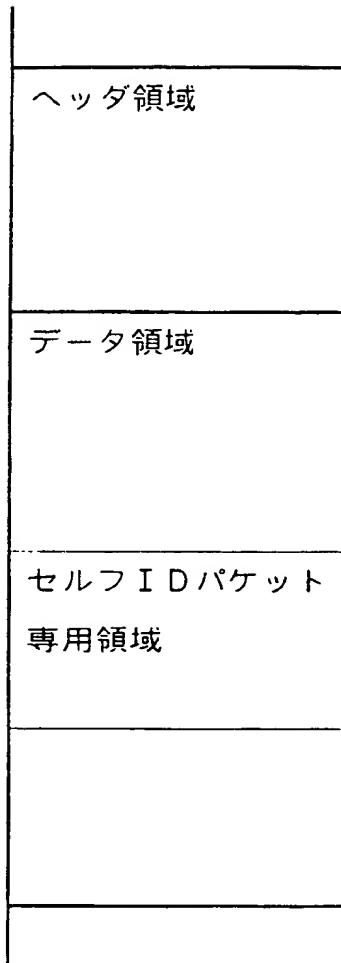


FIG. 15B



THIS PAGE BLANK (USPTO)

16/24

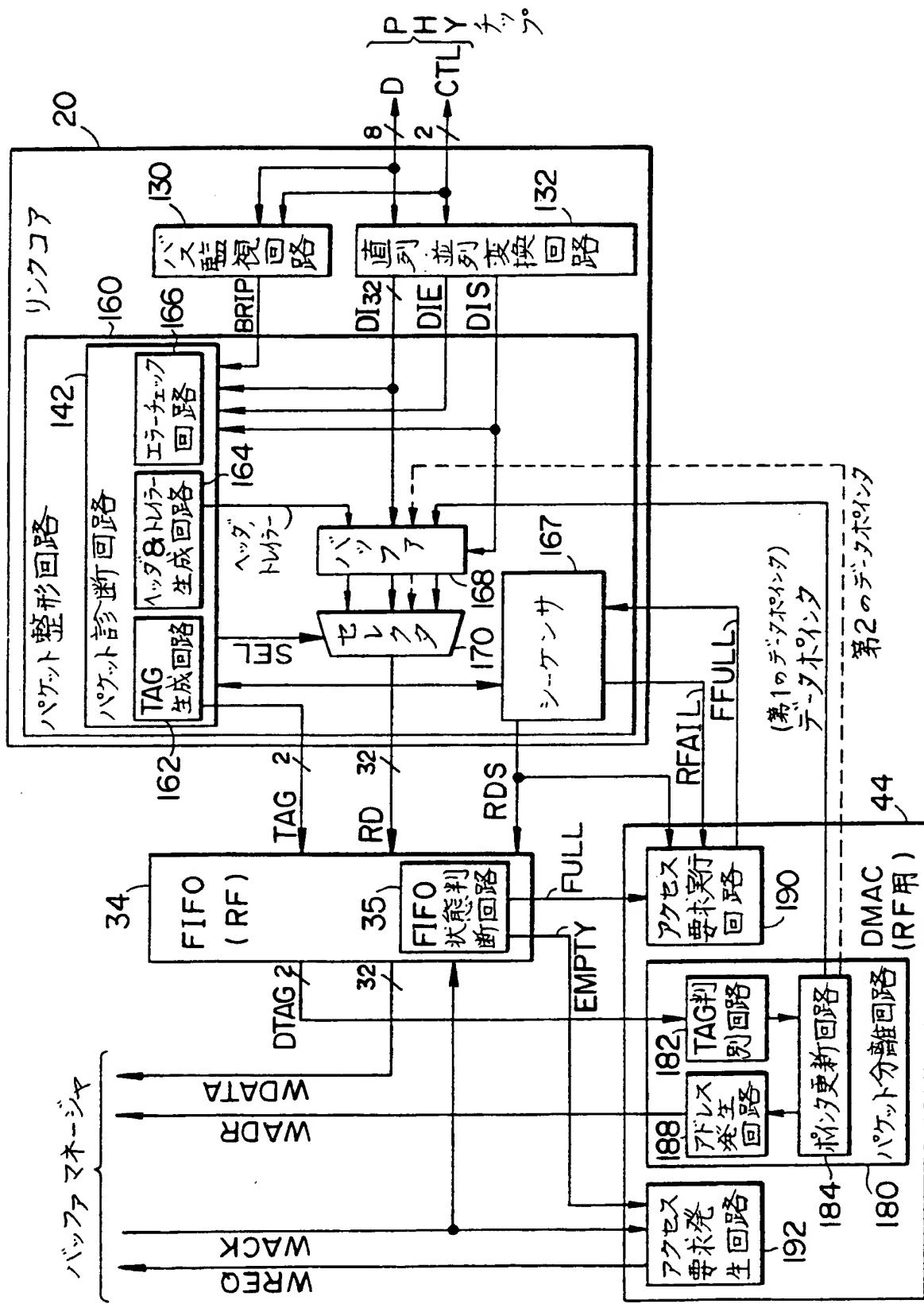
**FIG. 16**

RAM (パケット記憶メモリ)

**THIS PAGE BLANK (USPTO)**

17/24

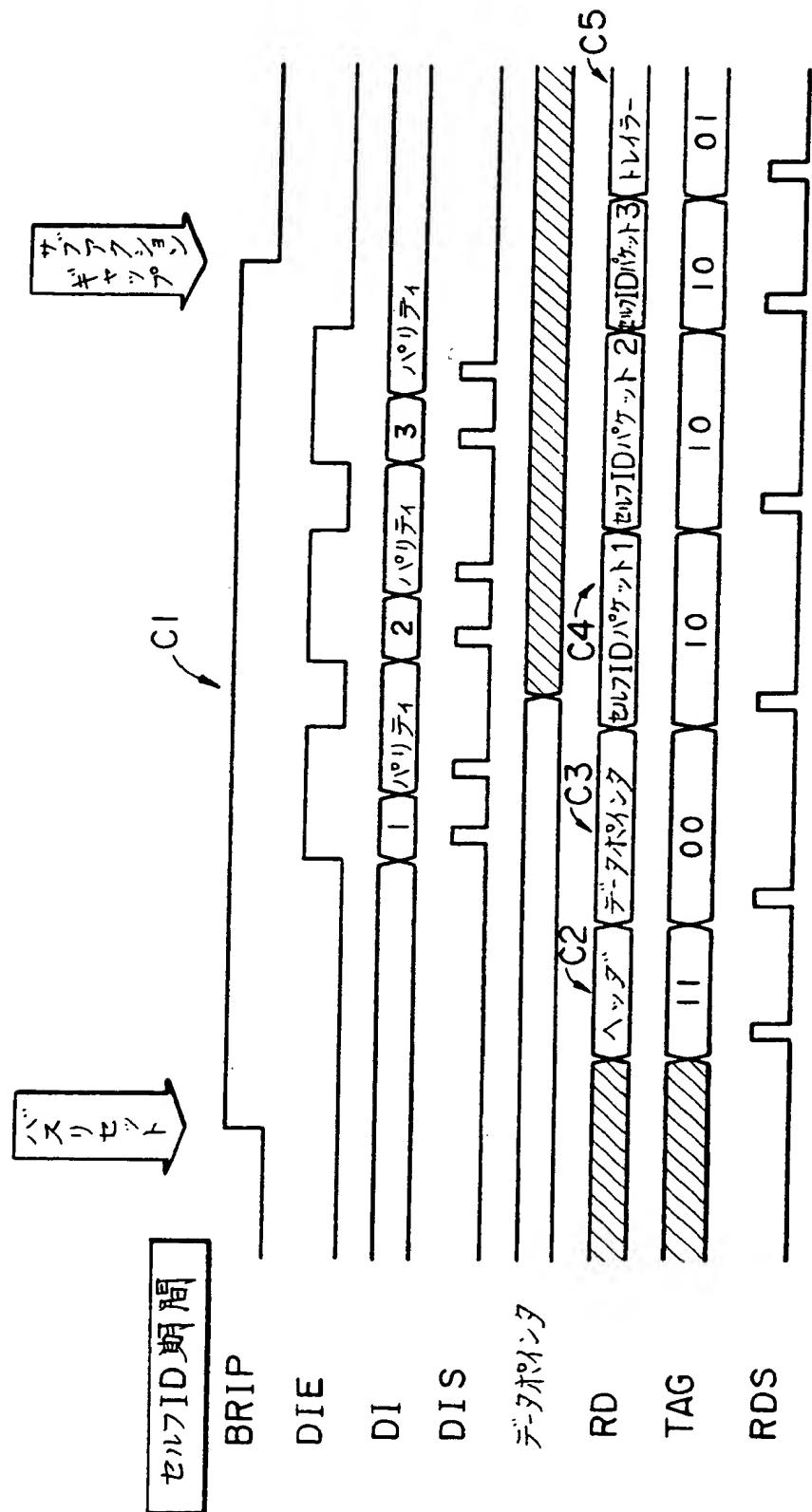
FIG. 17



**THIS PAGE BLANK (USPTO)**

18/24

FIG. 18



THIS PAGE BLANK (USPTO)

19/24

FIG. 19A

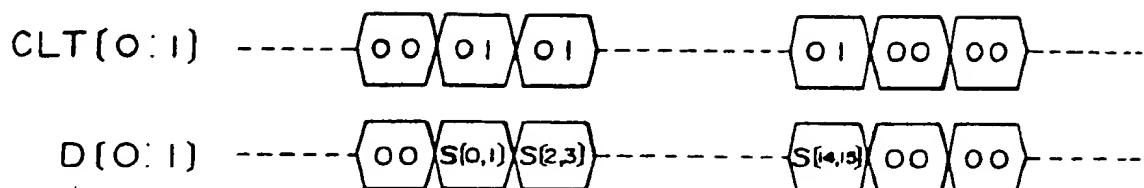


FIG. 19B

PHYチップが駆動する時のCTL

CTL	NAME
00	アイドル
01	ステータス
10	受信
11	グラント

FIG. 19C

ステータスビット

BIT	NAME
0	調停リセットギャップ
1	サブアクションギャップ
2	バスリセット
3	PHY割り込み
4 ~ 7	アドレス
8 ~ 15	データ

THIS PAGE BLANK (USPTO)

20/24

**FIG.20A**

Rxアシンクロナスバスリセットパケット (tcode:0xE)

b.31	予約済み		予約済み		tcode	4'h0		b.0		
0	データポインタ									
1	データ長				BR	BC	HCE	ACK		

↑  
1'h1

**FIG.20B**

Rxアシンクロナスファイパケット ノーマル (tcode:0xE)

b.31	予約済み		予約済み		tcode	4'h0		b.0		
0	ファイパケット									
1	spd				BR	BC	HCE	ACK		

↑  
1'h0

**THIS PAGE BLANK (USPTO)**

21/24

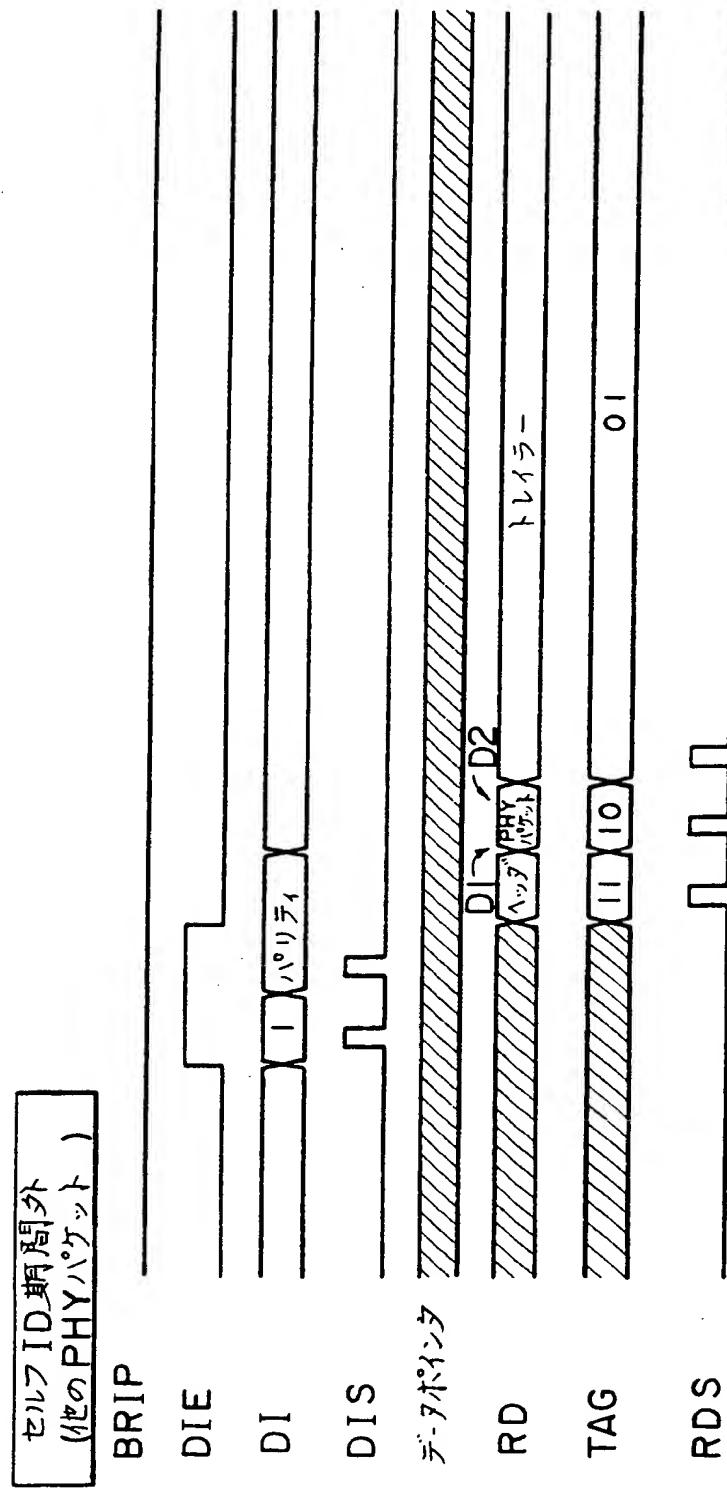
## FIG.21

TAG (DTAG)	意、味
00	ヘッタ
01	トレイラー
10	デーナ
11	スタート

**THIS PAGE BLANK (USPTO)**

22/24

FIG.22



**THIS PAGE BLANK (USPTO)**

23/24

FIG.23A

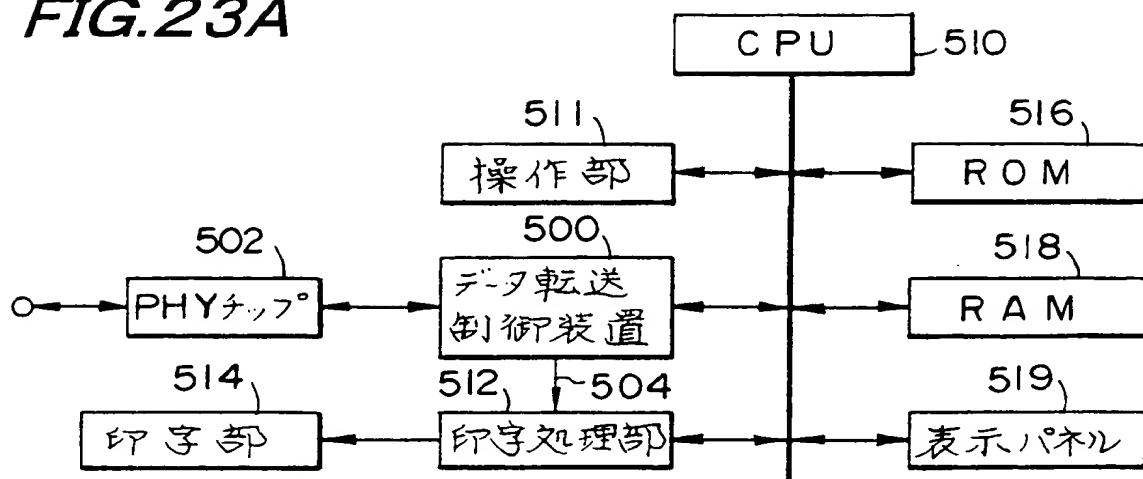


FIG.23B

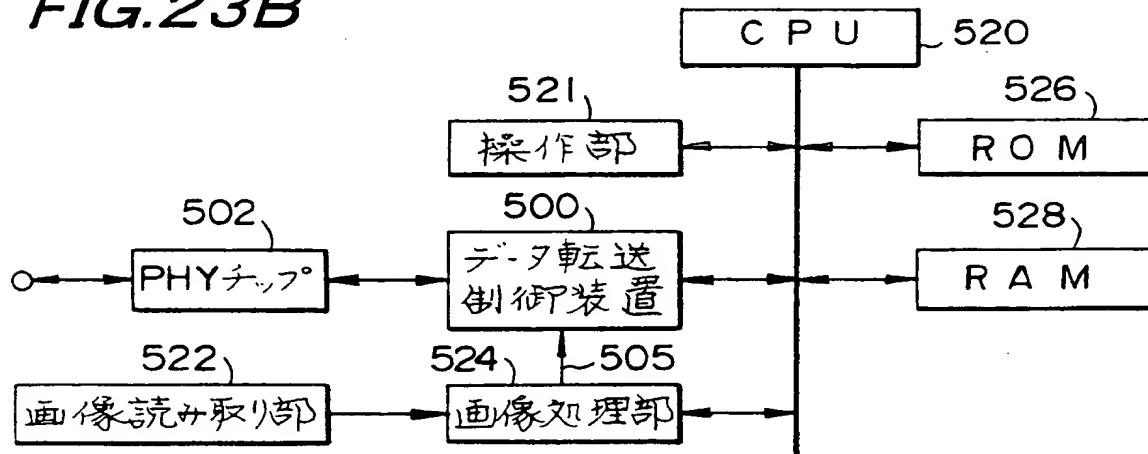
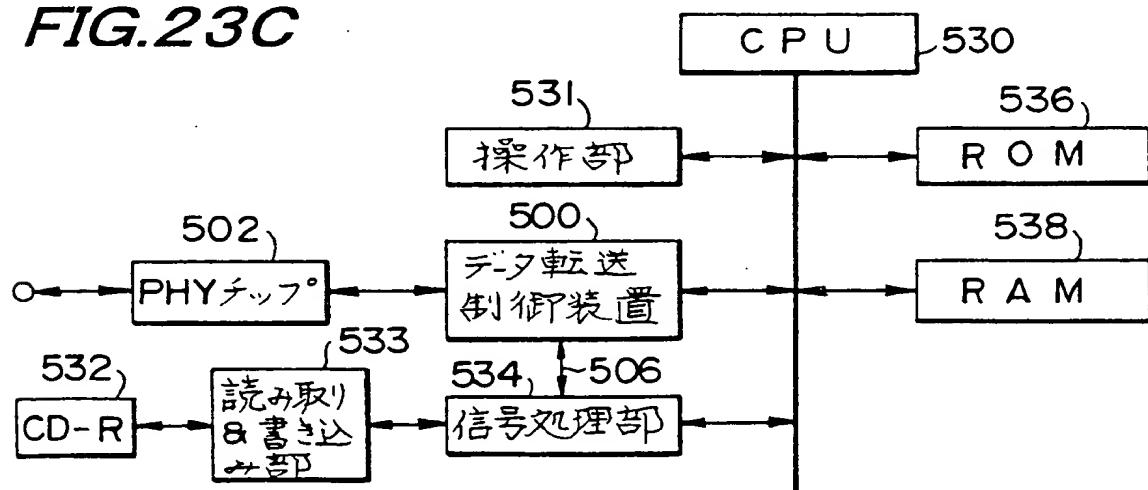
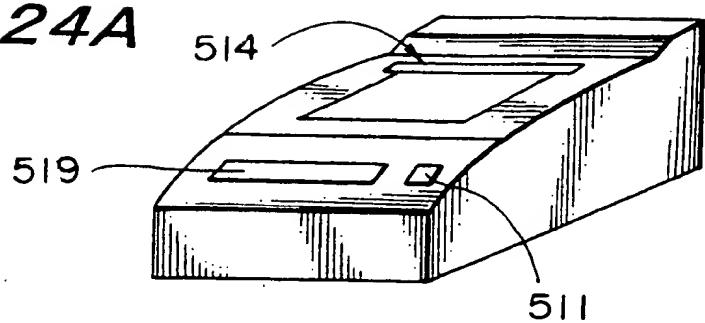
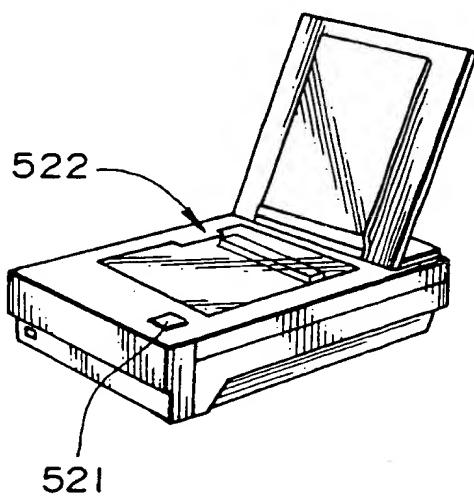
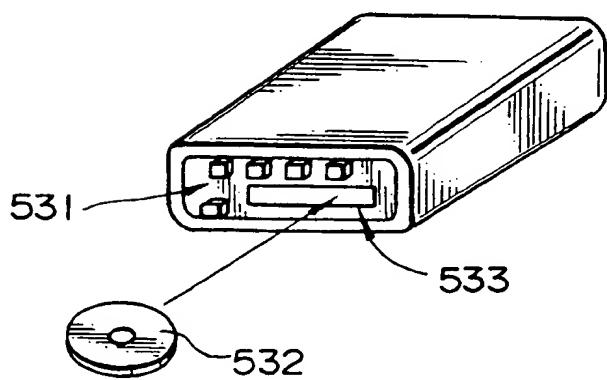


FIG.23C



THIS PAGE BLANK (USPTO)

24/24

**FIG.24A****FIG.24B****FIG.24C**

THIS PAGE BLANK (USPTO)

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05903

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl<sup>7</sup> G06F 13/00  
H04L 29/00

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F 13/00  
H04L 29/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP, 803821, A2 (TEXAS INSTRUMENTS INC.), 29 October, 1997 (29.10.97) & JP, 10040211, A & KR, 97072830, A & US, 5983301, A Figs. 19, 20,	1-29
A	JP, 10-285223, A (Sony Corporation), 23 October, 1998 (23.10.98) (Family: none) Fig. 1, 104b,105; Par. No. [0035]	1-29
EA	JP, 11-017773, A (Sony Corporation), 22 January, 1999 (22.01.99) (Family: none) Fig. 1, 106,107; Par. No. [0034]	1-29
A	US, 5758089, A (Sun Microsystems Inc.), 26 May, 1998 (26.05.98) & EP, 772368, A2 & JP, 09-266485, A Figs. 5, 6	1-29
A	Nikkei Electronics 08 September, 1997 (NO.698), "Direct connection of digital steel cameras: connecting different type of machines by standardization.", pages 107-111	1-29

Further documents are listed in the continuation of Box C.

See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
25 January, 2000 (25.01.00)

Date of mailing of the international search report  
08 February, 2000 (08.02.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP99/05903

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	(PWG: Printer Working Group)	

## 国際調査報告

国際出願番号 PCT/JP99/05903

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C17 G06F 13/00  
H04L 29/00

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int. C17 G06F 13/00  
H04L 29/00

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報(Y1, Y2) 1926-1996年  
 日本国公開実用新案公報(U) 1971-1999年  
 日本国登録実用新案公報(U) 1994-1999年  
 日本国実用新案登録公報(Y2) 1996-1999年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	EP, 803821, A2 (TEXAS INSTRUMENTS INC.) 29.10月. 1997 (29.10.97) & JP, 10040211, A & KR, 97072830, A & US, 5983301, A, 19, 20図参照 (パケット制御リストによるデータ構造および連続転送の構成)	1-29
A	JP, 10-285223, A (ソニー株式会社) 23.10月. 1998 (23.10.98), フ アミリーなし 第1図 104b, 105, 【0035】段落等参照 (バスリセッ ト時に self ID を認識して受信バッファに格納する信号処理回路)	1-29
EA	JP, 11-017773, A (ソニー株式会社) 22.01月. 1999 (22.01.99), フ アミリーなし 第1図 106, 107, 【0034】段落等参照 (バスリセッ ト時に self ID を解析し、コントロールレジスタに格納する)	1-29

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す  
もの  
 「E」国際出願日前の出願または特許であるが、国際出願日  
以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行  
日若しくは他の特別な理由を確立するために引用する  
文献(理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって  
出願と矛盾するものではなく、発明の原理又は理  
論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明  
の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以  
上の文献との、当業者にとって自明である組合せに  
よって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

## 国際調査を完了した日

25. 01. 00

## 国際調査報告の発送日

08.02.00

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官(権限のある職員)

猪瀬 隆広

5X 9560



電話番号 03-3581-1101 内線 3594

## C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 5758089, A (Sun Microsystems Inc,) 26.05月.1998(26.05.98) & EP, 772368, A2 & JP, 09-266485, A, 第5, 6図 (データ部とヘッダ部をそれぞれ格納するバッファを設ける構成)	1-29
A	日経エレクトロニクス 1997.9.8 (NO.698), 「デジタル・スチル・ カメラを直結、標準化で異機種間接続へ」, Pages. 107-111 (PWG:Printer Working Group 標準化動向の記事)	